

Конфигурирование ПЛИС Altera со статической памятью конфигурации

Пособие подготовлено на кафедре "Радиотехнические системы" Санкт-Петербургского Государственного университета аэрокосмического приборостроения (www.aanet.ru).

Пособие подготовлено на основе технического описания фирмы Altera: Application Note 116. "Configuring SRAM-Based LUT Devices" (June 2001, ver 2.0).

- Редакция: с. н. с., к.т.н. Р.А. Мяльк (ramelk@mail.ru).
- Компьютерная верстка: Р.А. Мяльк.
- Перевод: Р.А. Мяльк, В. Полуян.

Содержание

1. Общая характеристика режимов конфигурирования
2. Общая характеристика процесса конфигурирования
3. Схемы конфигурирования
 - 3.1. Конфигурационные микросхемы
 - 3.2. Пассивный последовательный режим конфигурирования с помощью загрузочного кабеля
 - 3.3. PS-конфигурирование с использованием микропроцессора
 - 3.4. PPA-конфигурирование
 - 3.5. JTAG-программирование и конфигурирование микросхем (APEX II, APEX 20K, Mercury, ACEX 1K & FLEX 10K)
 - 3.6. JTAG-программирование и конфигурирование нескольких микросхем (APEX II, APEX 20K, Mercury, ACEX 1K & FLEX 10K)
 - 3.7. Язык программирования и тестирования Jam STAPL
 - 3.8. Использование различных конфигурационных схем на одной печатной плате
4. Конфигурирование с использованием флэш-памяти
 - 4.1. Конфигурирование ПЛИС с использованием флэш-памяти и контроллера на MAX 3000A
 - 4.2. Конфигурирование микросхем с использованием флэш-памяти и контроллера на MAX7000
5. Опции конфигурирования
6. Выводы, используемые при конфигурировании
7. Конфигурирующие файлы
 - 7.1. SRAM Object File (.sof)
 - 7.2. Programmer Object File (.pof)
 - 7.3. Raw Binary File (.rbf)
 - 7.4. Hexadecimal (Intel-Format) File (.hex)
 - 7.5. Tabular Text File (.ttf)
 - 7.6. Serial Bitstream File (.sbf)
 - 7.7. Jam File (.jam)
 - 7.8. Jam Byte-Code File (.jbc)
8. Программирование конфигурационных микросхем
9. Вопросы практического применения микросхем
 - 9.1. Особенности включения питания микросхем APEX 20KE
 - 9.2. Надежность конфигурирования ПЛИС Altera
 - 9.3. Рекомендации по разводке печатных плат
10. Глоссарий

Список иллюстраций

- Рис. 1. Временные диаграммы конфигурации микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000
- Рис. 2. Схема загрузки конфигурации из конфигурационной микросхемы
- Рис. 3. Схема конфигурирования нескольких микросхем
- Рис. 4. Временные диаграммы конфигурационной микросхемы
- Рис. 5. Схема конфигурирования нескольких микросхем APEX 20K, FLEX 10K и FLEX 6000
- Рис. 6. Схема PS-конфигурирования с помощью устройств MasterBlaster и MasterBlasterMV
- Рис. 7. Схема одновременного конфигурирования микросхем ACEX 1K, FLEX 10K и FLEX 6000 с помощью загрузочного кабеля
- Рис. 8. Схема одновременного конфигурирования микросхем ACEX 1K и FLEX 10K с помощью загрузочного устройства
- Рис. 9. Схема одновременного конфигурирования микросхем APEX II, ACEX 1K, Mercury и APEX II, APEX 20K FLEX 10K с помощью загрузочного устройства
- Рис. 10. Комбинированная схема конфигурирования с использованием пассивной последовательной схемы или конфигурационной микросхемы
- Рис. 11. Схема PS-конфигурирования с помощью микропроцессора
- Рис. 12. Схема одновременного конфигурирования нескольких ПЛИС с помощью микропроцессора
- Рис. 13. Временные диаграммы при конфигурировании с помощью микропроцессора
- Рис. 14. Схема одновременного PS-конфигурирования нескольких ПЛИС с помощью микропроцессора
- Рис. 15. Схема PPS-конфигурирования
- Рис. 16. Схема одновременного PPS-конфигурирования с помощью микропроцессора
- Рис. 17. Временные диаграммы PPS-конфигурирования микросхем APEX 20K, Mercury, ACEX 1K, FLEX 10K
- Рис. 18. Схема параллельной конфигурации ПЛИС APEX II с помощью конфигурационных микросхем
- Рис. 19. Диалоговое окно настройки конфигурирования
- Рис. 20. Схема параллельного конфигурирования нескольких ПЛИС APEX II с использованием конфигурационных микросхем EPС8 или EPС16

- Рис. 21. Временные диаграммы конфигурирования ПЛИС APEX II
- Рис. 22. Схема параллельного конфигурирования с помощью микропроцессора
- Рис. 23. Схема конфигурирования нескольких микросхем APEX II с параллельной загрузкой данных с помощью микропроцессора
- Рис. 24. Схема конфигурирования двух микросхем APEX II едиными данными с помощью микропроцессора
- Рис. 25. Временные диаграммы PPS-конфигурирования микросхем APEX II
- Рис. 26. Схема PSA-конфигурирования микросхем FLEX 6000
- Рис. 27. Схема PSA-конфигурирования микросхем FLEX 6000
- Рис. 28. Временные диаграммы PSA-конфигурирования микросхем FLEX 6000
- Рис. 29. Временные диаграммы конфигурирования FLEX 6000 с использованием сигналов nRS и nWS
- Рис. 30. Схема PPA-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K
- Рис. 31. Схема PPA-конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K
- Рис. 32. Временные диаграммы PPA-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K
- Рис. 33. Временные диаграммы PPA-конфигурирования с использованием сигналов nRS и nWS
- Рис. 34. JTAG-конфигурирование одиночных ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K
- Рис. 35. Схема конфигурирования нескольких микросхем в JTAG-цепочке
- Рис. 36. схема JTAG-конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, or FLEX 10K с помощью микропроцессора
- Рис. 37. Схема конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000, с помощью загрузочного кабеля и конфигурационной микросхемы
- Рис. 38. Схема конфигурирования ПЛИС APEX 20K, FLEX 10K, FLEX 6000 с помощью загрузочного кабеля и конфигурационной микросхемы EPC2
- Рис. 39. Конфигурирование ПЛИС с использованием флэш-памяти и контроллера на MAX 3000A
- Рис. 40. Конечный автомат контроллера флэш-памяти
- Рис. 41. Временные диаграммы получения данных с микропроцессора
- Рис. 42. Временные диаграммы отправки данных контроллером флэш-памяти
- Рис. 43. Схема конфигурирования с использованием внешней памяти и ПЛИС MAXC 7000
- Рис. 44. Временные диаграммы конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000 с использованием внешней памяти и ПЛИС MAX 7000
- Рис. 45. Питание конфигурационной микросхемы напряжением 3,3 В при конфигурировании ПЛИС APEX 20KE

Список таблиц

- Таблица 1. Схемы конфигурирования ПЛИС Altera
- Таблица 2. Состояния выводов при конфигурировании микросхем APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K
- Таблица 3. Состояния выводов при конфигурировании микросхем FLEX 6000
- Таблица 4. Размер конфигурационных файлов микросхем APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K
- Таблица 5. Характеристика конфигурационных микросхем
- Таблица 6. Состояния выводов DATA во время и по окончании конфигурирования
- Таблица 7. Временные параметры микросхем APEX 20K
- Таблица 8. Временные параметры микросхем семейств APEX II, APEX 20KE & APEX 20KC
- Таблица 9. Временные параметры микросхем семейства Mercury
- Таблица 10. Временные параметры микросхем семейства ACEX 1K
- Таблица 11. Временные PS-параметры микросхем семейства ACEX 1K
- Таблица 12. Временные параметры микросхем семейств FLEX 10K & FLEX 6000
- Таблица 13. Временные PPS-параметры микросхем APEX 20K (1)
- Таблица 14. Временные PPS-параметры микросхем Mercury
- Таблица 15. Временные PPS-параметры микросхем ACEX 1K
- Таблица 16. Временные PPS-параметры микросхем FLEX10K
- Таблица 17. Временные PPS-параметры для ПЛИС APEX II
- Таблица 18. Временные PSA-параметры для ПЛИС FLEX 6000
- Таблица 19. Временные PPA-параметры для ПЛИС APEX II и APEX 20K
- Таблица 20. Временные PPA-параметры для ПЛИС Mercury
- Таблица 21. Временные PPA-параметры для ПЛИС ACEX 1K
- Таблица 22. Временные PPA-параметры для ПЛИС FLEX 10K
- Таблица 23. Характеристика выводов интерфейса JTAG
- Таблица 24. Подключение JTAG-выводов при конфигурировании
- Таблица 25. Размеры файла алгоритма
- Таблица 26. Размеры файла данных
- Таблица 27. Опции конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K & FLEX 6000
- Таблица 28. Опции конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K & FLEX 6000
- Таблица 29. Опции конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K & FLEX 6000
- Таблица 30. Характеристика выводов конфигурирования (часть 1 из 5)
- Таблица 31. Характеристика выводов конфигурирования (часть 2 из 5)
- Таблица 32. Характеристика выводов конфигурирования (часть 3 из 5)
- Таблица 33. Характеристика выводов конфигурирования (часть 4 из 5)
- Таблица 34. Характеристика выводов конфигурирования (часть 5 из 5)
- Таблица 35. Адаптеры конфигурационных микросхем

1. ОБЩАЯ ХАРАКТЕРИСТИКА РЕЖИМОВ КОНФИГУРИРОВАНИЯ

Для конфигурирования микросхем APEX II, APEX 2K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000 может использоваться одна из шести конфигурационных схем. Конфигурирование осуществляется с помощью конфигурационной микросхемы (конфигурационного ПЗУ) либо микропроцессора.

Таблица 1. Схемы конфигурирования ПЛИС Altera

Схема конфигурирования	Семейство конфигурируемой микросхемы	Примечание
Конфигурационная микросхема	APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000	Конфигурируются с помощью микросхем EPC16, EPC8, EPC2, EPC1 или EPC1441.
Пассивная последовательная (PS - Passive Serial)	APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000	Используется микропроцессор с последовательным синхронным интерфейсом, или конфигурационное устройство MasterBlaster или MasterBlasterMV
Синхронная пассивная параллельная (PPS - Passive Parallel Synchronous)	APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000	Используется микропроцессор с последовательным синхронным интерфейсом
Асинхронная пассивная параллельная (PPA - Passive Parallel Asynchronous)	APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000	Используется микропроцессор с последовательным синхронным интерфейсом. Микропроцессор работает с конфигурируемой микросхемой как с внешней памятью.
Асинхронная пассивная последовательная (PPS - Passive Serial Asynchronous)	FLEX 6000	Используется микропроцессор с последовательным синхронным интерфейсом.
Конфигурация по выводам JTAG (Joint Test Action Group)	APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000	Конфигурация микросхемы по выделенным выводам JTAG

Примечания к таблице 1:

1. Загрузочное конфигурационное устройство MasterBlaster обеспечивает загрузку конфигурационных данных в микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 через стандартный последовательный порт PC или шину USB. Оно обеспечивает конфигурирование микросхем с напряжениями питания 5.0; 3,3 и 2,5 Вольт; 1,8 В и работает с программными пакетами САПР QUARTUS II и MAX+PLUS II начиная с версии 9.3.
2. Для загрузки конфигурации через параллельный порт используется устройство MasterBlasterMV.
3. Для микросхем FLEX 6000 конфигурирование по выводам JTAG не используется: в этих микросхемах выводы JTAG используются для периферийного сканирования.

Ниже рассматривается конфигурирование микросхем APEX II, APEX 20K (включая APEX 20KE и APEX 20KC), Mercury, ACEX 1K, FLEX 10K (включая FLEX 10KE, FLEX 10KA), FLEX 6000.

Информацию по соответствующим микросхемам можно найти в следующих документах фирмы Altera:

- APEX II Programmable Logic Device Family Data Sheet
- APEX 20K Programmable Logic Device Family Data Sheet
- APEX 20KC Programmable Logic Device Data Sheet
- Mercury Programmable Logic Device Family Data Sheet
- ACEX 1K Programmable Logic Device Family Data Sheet
- FLEX 10K Embedded Programmable Logic Family Data Sheet
- FLEX 10KE Embedded Programmable Logic Family Data Sheet
- FLEX 6000 Programmable Logic Device Family Data Sheet
- Configuration Devices for APEX & FLEX Devices Data Sheet
- EPC16 Configuration Device Data Sheet

2. ОБЩАЯ ХАРАКТЕРИСТИКА ПРОЦЕССА КОНФИГУРИРОВАНИЯ

В микросхемах APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 память конфигурации реализована на статических запоминающих ячейках (SRAM). Конфигурация микросхем сохраняется только при наличии напряжения питания. Данные конфигурации должны загружаться при включении питания.

Выделяются следующие режимы работы микросхем (см. рис. 1):

1. загрузка конфигурации,
2. инициализация входов/выходов,
3. рабочий (пользовательский) режим.

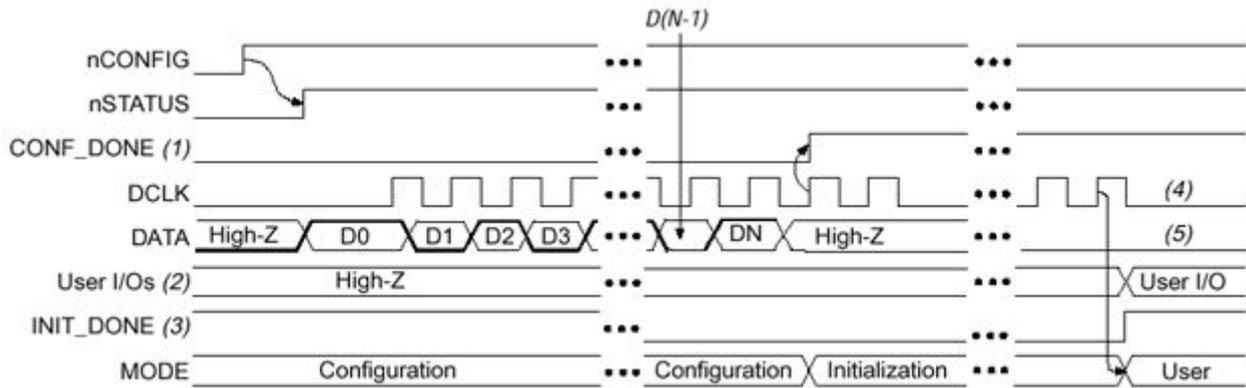


Рис. 1. Временные диаграммы конфигурации микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000

Примечания к рисунку 1.

1. Во время включения и конфигурирования вывод CONF_DONE - находится в состоянии логического "0". После конфигурирования вывод CONF_DONE переходит в состояние логической "1". При реконфигурировании микросхемы вывод CONF_DONE переходит в состояние логического "0" после перехода вывода nCONFIG в логический "0".
2. На интервале конфигурирования входные/выходные (I/O) выводы микросхем находятся в третьем состоянии. Во время конфигурирования необходимое напряжение на выводах микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10KE обеспечивается с помощью низкомомных нагрузочных резисторов. После инициализации I/O-выводы выполняют функции заданные проектом разработчика.
3. Перед конфигурированием на выводе nCONFIG присутствует логический "0", а вывод INIT_DONE находится в состоянии логической "1". Такое состояние сохраняется на протяжении приблизительно 40 тактов конфигурирования для микросхем APEX II и APEX 20K, первых 36 тактов для микросхем Mercury и 10 тактов для микросхем ACEX 1K, FLEX 10K, и FLEX 6000.
4. Вывод DCLK по окончании конфигурирования не должен находиться в неопределенном состоянии (необходимо обеспечить уровень "0" или "1").
5. Вывод DATA (микросхемы FLEX 6000) и DATA0 (микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10KE) не должен находиться в неопределенном состоянии (необходимо обеспечить уровень "0" или "1").

Для загрузки конфигурационных данных в микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000 может использоваться пассивный и активный режимы. В активном режиме с конфигурационной микросхемой, обе микросхемы (конфигурируемая и конфигурирующая) генерируют сигналы синхронизации и управления. При готовности обеих микросхем к началу конфигурирования, конфигурирующая микросхема отправляет данные на микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000.

Пассивный режим конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K или FLEX 6000 реализуется с использованием центрального контроллера (например, микропроцессора), управляющим процессом конфигурации. Контроллер получает данные из устройства хранения (жесткий диск, RAM, или других систем памяти). В пассивном режиме, микросхемы можно реконфигурировать прямо в работающей системе. Таким образом, обеспечивается возможность обновления конфигурации микросхем путем распространения в системе новых конфигурационных файлов.

Состояния выводов MSEL0 и MSEL1 при конфигурировании микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000 показаны соответственно в таблицах 2 и 3.

Таблица 2. Состояния выводов при конфигурировании микросхем APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K

Логические состояния выводов		Схема конфигурирования
MSEL1	MSEL0	
0	0	Конфигурационное ПЗУ или режим пассивной последовательной конфигурации
1	0	Пассивная параллельная синхронная
1	1	Пассивная параллельная асинхронная

Примечания к таблице 2.

1. Выводы MSEL0 и MSEL1 используются для изменения режимов конфигурирования. В обычном режиме эти выводы соединены с землей или напряжением питания V_{CC} .

Таблица 3. Состояния выводов при конфигурировании микросхем FLEX 6000

Состояния вывода MSEL	Схема конфигурирования
0	Конфигурационная микросхема или пассивная последовательная схема конфигурирования с использованием загрузочного устройства MasterBlaster .
1	Пассивная последовательная асинхронная

Примечания к таблице 3.

1. Выводы MSEL используется для изменения режимов конфигурирования. В обычном режиме эти выводы соединены с землей или напряжением питания V_{CC} .

Более подробно управляющие конфигурационные биты и управляющие конфигурационные выводы микросхем рассматриваются в соответствующих разделах: "Опции конфигурирования" и "Выводы, используемые при конфигурировании".

Приблизительные размеры конфигурационных файлов для микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 представлены в таблице 4. При конфигурировании одновременно нескольких микросхем, размер конфигурационного файла вычисляется сложением размеров соответствующих файлов для каждой из микросхем.

Таблица 4. Размер конфигурационных файлов микросхем APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K

Микросхема	Объем данных, бит	Объем данных, килобайт
EP2A90	(2)	(2)
EP2A70	17,389,000	2,123
EP2A40	9,612,000	1,174
EP2A25	6,275,200	766
EP2A15	4,714,000	576
EP20K1500E, EP20K1500C	12,011,000	1,467
EP20K1000E, EP20K1000C	8,938,000	1,092
EP20K600E, EP20K600C	5,654,000	691
EP20K400	3,878,000	474
EP20K400E, EP20K400C	3,901,000	477
EP20K300E	2,733,000	334
EP20K200	1,950,000	239
EP20K200E, EP20K200C	1,964,000	240
EP20K160E	1,523,000	186
EP20K100	985,000	121
EP20K100E, EP20K100C	1,009,000	124
EP20K60E	641,000	79
EP20K30E	347,000	42
EP1M350	4,383,000	535
EP1M120	1,297,000	159
EP1K100	1,337,000	164
EP1K50	785,000	96
EP1K30	470,000	58
EP1K10	178,000	22
EPF10K250A	3,292,000	402
EPF10K200E	2,740,000	335
EPF10K130E	1,840,000	225
EPF10K130B	1,582,000	194
EPF10K100E	1,336,000	164
EPF10K100, EPF10K100A, EPF10K100B	1,200,000	147
EPF10K70	893,000	110

EPF10K50E	785,000	96
EPF10K50, EPF10K50B	621,000	76
EPF10K40	498,000	61
EPF10K30E	470,000	58
EPF10K30A	402,000	50
EPF10K30	376,000	46
EPF10K20	231,000	29
EPF10K10A	120,000	15
EPF10K10	118,000	15
EPF6024A	398,000	49
EPF6016, EPF6016A	260,000	32
EPF6010A	260,000	32

Примечания к таблице 4:

1. Для определения размеров файлов использованы файлы Raw Binary Files (. rbf).
2. За более подробной информацией обращайтесь к фирме Altera.
3. В таблице 4 приведены приблизительные размеры конфигурационных файлов. Размер файла может варьироваться из-за использования различных версий программных пакетов QUARTUS II или MAX+PLUS II, которые могут добавлять различное число битов во время программирования. Однако, для любой версии QUARTUS II или MAX+PLUS II, любой проект для одной и той же микросхемы имеет одинаковый размер конфигурирующего файла.

Характеристика конфигурационных микросхем, используемых для конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 представлена в таблице 5.

Таблица 5. Характеристика конфигурационных микросхем

Конфигурационная микросхема	Объем памяти, бит	Питание, В
EPС16	16000000 x 1	3,3
EPС8	8000000 x 1	3,3
EPС2	1695680 x 1	5.0 или 3,3
EPС1	1046496 x 1	5.0 или 3,3
EPС1441	440800 x 1	5.0 или 3,3

По данным таблиц 4 и 5 можно определить количество необходимых для конфигурирования конфигурирующих микросхем. Например, для конфигурирования одной микросхемы EPF10K100 требуется две микросхемы EPС1 или одна EPС2. Аналогично, для микросхемы EP20K400 требуется три микросхемы EPС2 или одна - EPС8.

3. СХЕМЫ КОНФИГУРИРОВАНИЯ

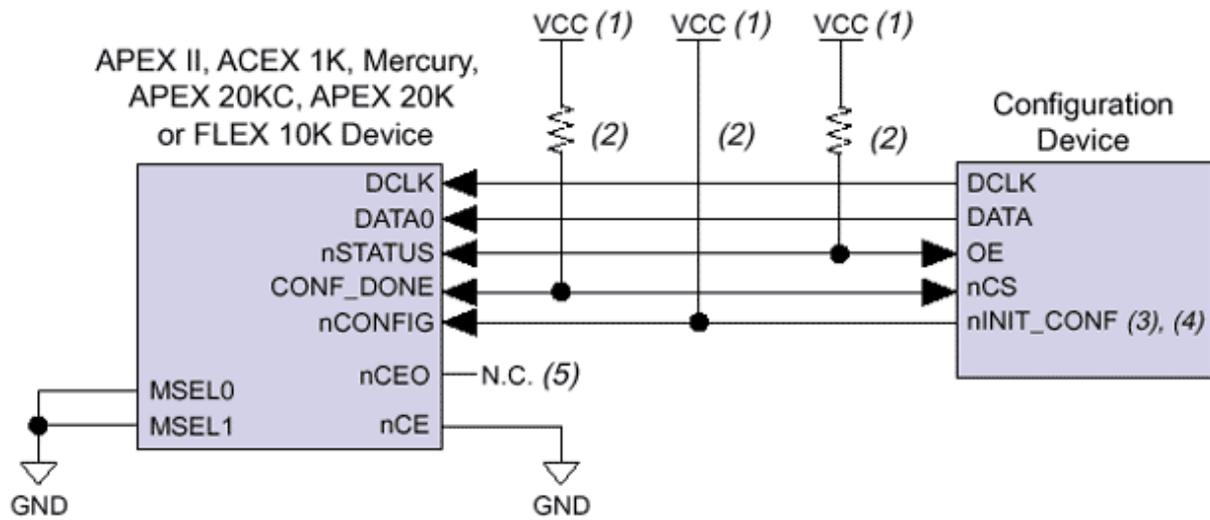
В этом разделе рассматриваются следующие схемы конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000:

- Конфигурирование с помощью конфигурационных микросхем;
- Пассивная последовательная (PS - Passive Serial) с помощью загрузочного кабеля;
- Пассивная последовательная (PS - Passive Serial) с помощью микропроцессора;
- Пассивная параллельная синхронная (PPS - Passive Parallel Synchronous) (только для ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K);
- Пассивная последовательная асинхронная (PSA - Passive Serial ASynchronous) (только для ПЛИС FLEX 6000);
- Пассивная параллельная асинхронная (PPA - Passive Parallel ASynchronous) (только для ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K);
- JTAG-конфигурирование (только для ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K);
- JTAG-конфигурирование нескольких ПЛИС (только для ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K);

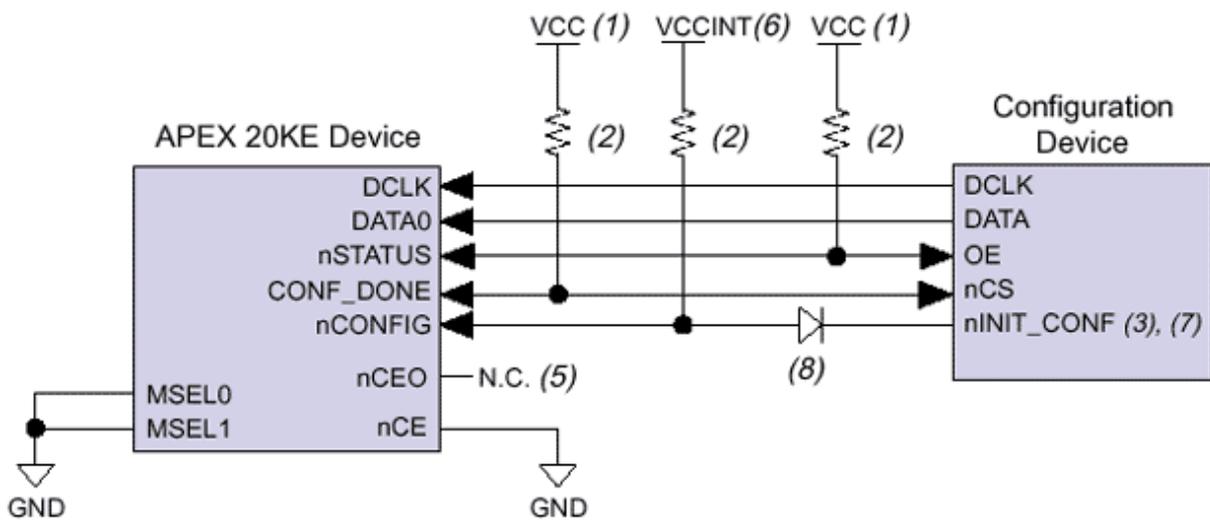
3.1. Конфигурационные микросхемы

В этом режиме конфигурационные данные в микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 загружаются из конфигурационной микросхемы фирмы Altera (см. рис. 2).

**APEX II, ACEX 1K, Mercury, APEX 20KC,
APEX 20K & FLEX 10K Devices**



APEX 20KE Devices



FLEX 6000 Devices

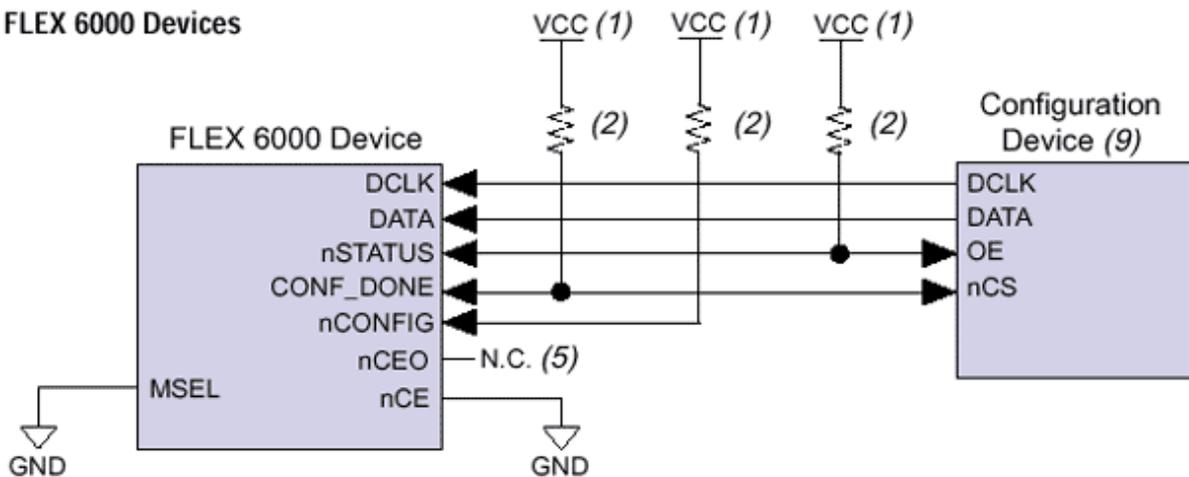


Рис. 2. Схема загрузки конфигурации из конфигурационной микросхемы

Примечания к рисунку 2:

1. Подтягивающий нагрузочный резистор подключен к напряжению питания конфигурационной микросхемы.
2. Для микросхем APEX 20KE и APEX 20KC все подтягивающие нагрузочные резисторы имеют номинал 1 кОм (или 10 кОм). Выводы OE и nCS микросхем EPC16, EPC8, и EPC2 имеют внутренние подтягивающие резисторы, конфигурируемые пользователем. При использовании внутренних подтягивающих резисторов, внешние резисторы не используются.
3. Вывод nINIT_CONF есть только у микросхем EPC2, EPC8, и EPC16. Если вывод nINIT_CONF отсутствует (например, у микросхемы EPC1) или не используется, то вывод nCONFIG конфигурируемой микросхемы подключается к напряжению питания VCC (непосредственно или через резистор).
4. В микросхемах EPC16, EPC8, и EPC2 вывод nINIT_CONF имеет встроенный подтягивающий резистор. При этом внешний резистор на выводе nINIT_CONF не используется.
5. Вывод nCEO не подключается.
6. Для гарантии успешного конфигурирования при возможном одновременном включении питания конфигурируемой (APEX 20KE) и конфигурирующей микросхем, вывод nCONFIG необходимо подтянуть к напряжению VCCINT.
7. В микросхемах EPC16, EPC8, и EPC2 вывод nINIT_CONF имеет встроенный подтягивающий резистор номиналом 10 кОм. Вывод nCONFIG конфигурируемой микросхемы через резистор 10 кОм необходимо подключить к напряжению питания VCCINT.
8. Для развязки источников напряжения 1,8 В и 3,3 В, при конфигурировании микросхем APEX 20KE, между выводом nCONFIG микросхемы APEX 20KE и выводом nINIT_CONF конфигурирующей микросхемы необходимо включить диод. Пороговое напряжение диода должно быть не более 0,7 В. При этом вывод открытого стока nINIT_CONF может находиться либо в состоянии "0", либо в третьем состоянии.
9. Микросхемы EPC16, EPC8, и EPC2 не используются для конфигурирования микросхем FLEX 6000.

В конфигурирующей схеме вывод nCONFIG обычно соединен с VCC (при использовании микросхем EPC16, EPC8 или EPC2, nCONFIG может соединяться с nINIT_CONF). При включении устройства начало процесса конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K или FLEX 6000 инициируется переходом вывода nCONFIG из "0" в "1". Конфигурируемая микросхема устанавливает "0" на выводе открытого стока CONF_DONE, что инициирует переход в "0" вывода nCS. При переходе POR, конфигурируемая и конфигурирующая микросхемы освобождают вывод открытого стока nSTATUS.

Перед началом конфигурирования, для стабилизации напряжения источника питания конфигурируемая микросхема выдерживает POR-задержку порядка 200 мс (максимум). В это время вывод OE конфигурирующей микросхемы находится в состоянии "0". Этот сигнал приостанавливает конфигурирование, поскольку вывод OE соединен с выводом nSTATUS, конфигурируемой микросхемы. По истечении POR-задержки микросхемы освобождают вывод nSTATUS, который через подтягивающий резистор приобретает уровень "1". При конфигурировании одновременно нескольких микросхем, конфигурирование не начнется до тех пор, пока не разблокируются выходы OE или nSTATUS. Когда же все микросхемы готовы, конфигурирующая микросхема последовательно выдает данные на конфигурируемую микросхему, используя встроенный тактовый генератор.

После успешного конфигурирования, конфигурирующая микросхема начинает синхронизировать конфигурируемую микросхему для инициализации. Вывод CONF_DONE освобождается конфигурируемой микросхемой и приобретает напряжение, обеспечиваемое подтягивающим резистором. После завершения инициализации, конфигурируемая микросхема переходит в режим, заданный пользователем.

При обнаружении во время конфигурирования ошибки, конфигурируемая микросхема прекращает конфигурирование и устанавливает "0" на выводе nSTATUS. Если в пакете MAX+PLUS II в диалоговом окне Global Project Device Options включена опция "Auto-Restart Configuration on Frame Error", - при обнаружении ошибки микросхема автоматически реконфигурируется. В пакете QUARTUS II похожие действия выполняются в диалоговом окне Device & Pin Option. Для этого выберите команду Compiler Settings (Настройки компилятора), и затем нажмите Chips & Devices.

Если эта опция выключена, внутренняя система должна контролировать вывод nSTATUS на наличие ошибок и при обнаружении устанавливать "0" для перезапуска конфигурирования. Внешняя система может установить "0" на выводе nCONFIG, даже если nCONFIG соединен с VCC. После окончания конфигурирования, конфигурируемая микросхема освобождает CONF_DONE, который прерывает конфигурирование микросхемы, устанавливая на выводе nCS логическую "1". Конфигурирующая микросхема устанавливает "0" на выводе DCLK до и после конфигурирования.

Кроме того, если конфигурирующая микросхема отправляет данные и затем обнаруживает, отсутствие "1" на выводе CONF_DONE, она принимает решение о срыве процесса конфигурирования. В этом случае, конфигурирующая микросхема устанавливает "0" на выводе OE на несколько микросекунд, устанавливая "0" на выводе nSTATUS. Если включена опция "Auto-Restart Configuration on Frame Error", конфигурируемая микросхема прекращает конфигурирование и устанавливает "0" на выводе nSTATUS. При "1" на nSTATUS, конфигурирующая микросхема осуществляет реконфигурацию. После завершения конфигурирования, конфигурирующая микросхема устанавливает на выводе DCLK уровень "0".

При "0" на выводе CONF_DONE, конфигурирующая микросхема принимает решение о срыве процесса конфигурирования; поэтому ваша система не должна устанавливать "0" на выводе CONF_DONE для задержки инициализации. В таких случаях следует устанавливать в САПР QUARTUS II или MAX+PLUS II опцию User-Supplied Start-Up Clock для синхронизации и инициализации нескольких микросхем, находящихся в разных цепях конфигурирования. Микросхемы в одной цепи конфигурирования инициализируются вместе (см. раздел "Опции конфигурирования").

На рис. 3 показана схема конфигурирования нескольких ПЛИС с использованием конфигурационной микросхемы. Эта схема похожа на схему конфигурирования одной ПЛИС, за исключением микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, или FLEX 6000, включаемых в данном случае каскадно.

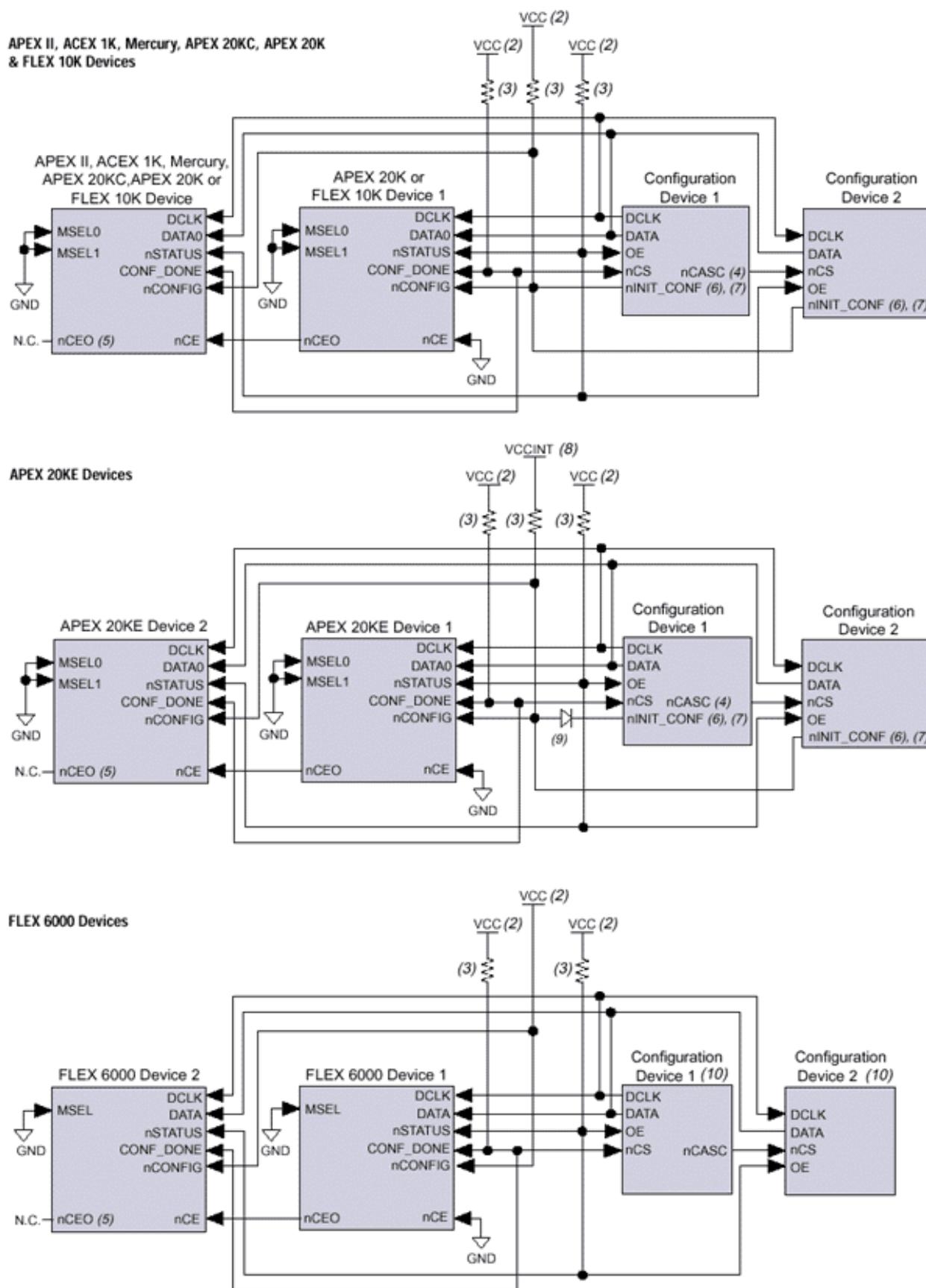


Рис. 3. Схема конфигурирования нескольких микросхем

Примечания к рисунку 3:

1. При конфигурировании нескольких микросхем из каждого файла SRAM Object File (.sof) необходимо создать файл Programmer Object File (.pof). САПР MAX+PLUS II, позволяет комбинировать различные sof-файлы, используя опцию Combine Programming Files в меню MAX+PLUS II. Программное обеспечение QUARTUS II использует аналогичную опцию для микросхем APEX 20K в меню Device & Pin Option. Для использования этой опции выберите Compiler Settings, затем откройте закладку Chips & Devices. Более подробно создание файлов конфигурирования и программирования рассматривается в разделе "Конфигурирующие файлы микросхем".
2. Подтягивающий нагрузочный резистор подключен к тому же напряжению, что и конфигурирующая микросхема.
3. Все подтягивающие резисторы имеют номинал 1 кОм (и 10 кОм для микросхем APEX 20KE и APEX 20K). Выводы OE и nCS микросхем EPC16, EPC8, EPC2 имеют внутренние, изменяемые пользователем, подтягивающие резисторы. При использовании внутренне подтягиваемых резисторов внешние подтягивающие резисторы не используются.
4. Микросхемы EPC16, EPC8 каскадно не соединяются.
5. У последней микросхемы в цепочке вывод nCEO остается не присоединенным (свободным)
6. Вывод nINIT_CONF доступен только на микросхемах EPC16, EPC8, если этот вывод недоступен (для микросхем EPC1) или не используется, напряжение на выводе nCONFIG должно быть с помощью нагрузочного резистора подтянуто к напряжению VCC.
7. Микросхемы EPC16, EPC8, EPC2 для конфигурирования микросхем FLEX 6000 не используются.
8. Для обеспечения успешного конфигурирования микросхем APEX 20KE для всех возможных схем конфигурации напряжение на выводе nCONFIG должно быть подтянуто до напряжения VCC при помощи нагрузочного резистора 10 кОм.
9. При конфигурировании микросхем APEX 20KE для развязки источников питания 1,8 В и 3,3 В включается диод между выводом nCONFIG микросхемы APEX 20KE и выводом nINIT_CONF конфигурирующей микросхемы. Диод должен иметь пороговое напряжение ≈ 0.7 В. Диод обеспечивает нахождение вывода открытого стока nINIT_CONF либо в состоянии "0", либо в третьем состоянии.
10. В микросхемах выходы EPC16, EPC8, EPC2 вывод nINIT_CONF имеет внутренний конфигурируемый нагрузочный резистор. Эти микросхемы не требуют внешнего резистора на выводе nINIT_CONF.

В режиме конфигурирования нескольких микросхем, после окончания конфигурирования первой микросхемы вывод nCEO активирует вывод nCE второй микросхемы, инициируя начало конфигурирования второй микросхемы. Так как выходы CONF_DONE всех микросхем соединены вместе, все микросхемы одновременно выполняют инициализацию и переход в пользовательский режим.

Кроме того, все выходы nSTATUS также соединены вместе. При обнаружении любой из микросхем (включая конфигурирующую) ошибки, процесс конфигурирования будет прерван для всей цепи. Если к концу конфигурирования не будет "1" на выводе CONF_DONE первой конфигурируемой микросхемы, она выдает на выводе OE сигнал "0" в несколько микросекунд и вся цепь возвращается в исходное состояние. Этот импульс указывает на ошибку и передается на вывод OE второй микросхемы и на выходы nSTATUS всех микросхем. Такие действия при обнаружении ошибки одинаковы для всех микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000.

При установленной опции "Auto-Restart Configuration on Frame Error", после интервала задержки выходы nSTATUS микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 разблокируются. После этого выходы nSTATUS устанавливаются в "1" и конфигурационная микросхема выполняет реконфигурацию. Если опция "Auto-Restart Configuration on Frame Error" не установлена, микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 устанавливают вывод nSTATUS в состояние "0" и сохраняют его до тех пор, пока не будут возвращены в исходное состояние импульсом "0" на выводе nCONFIG.

В сложных проектах несколько конфигурируемых микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 могут соединяться каскадно. После отправки информации с первого конфигурируемого устройства, на его выводе nCASC устанавливается логический "0", который в свою очередь управляет последующими микросхемами. Поскольку конфигурируемому устройству требуется менее одного такта на активирование последующего конфигурируемого устройства, поток данных не прерывается. Конфигурационные микросхемы EPC16 и EPC8 при конфигурировании не могут быть соединены каскадно.

Временные диаграммы синхронизации конфигурационной микросхемы приведены на рис. 4.

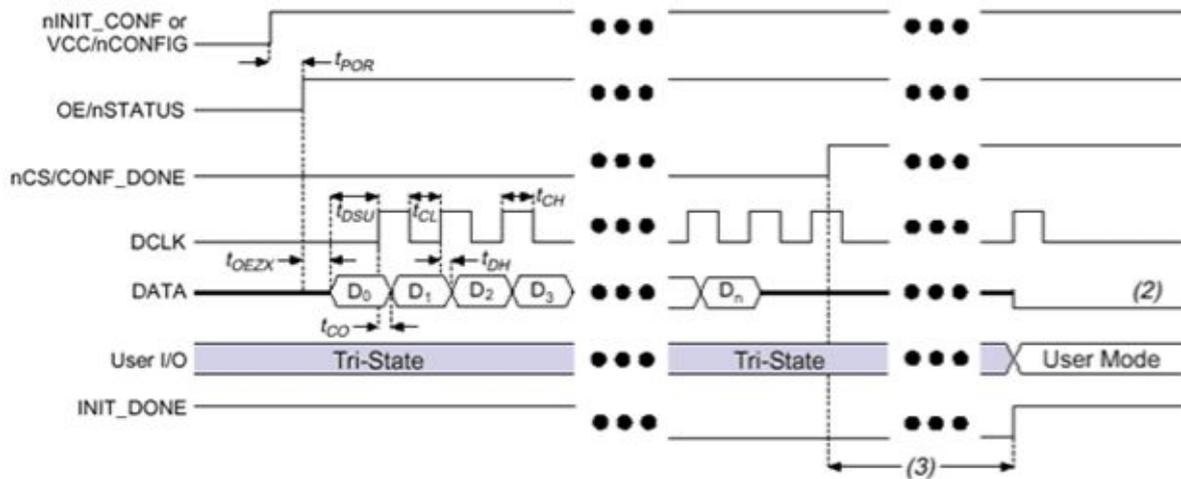


Рис. 4. Временные диаграммы конфигурационной микросхемы

Примечания к рисунку 4:

1. Дополнительную информацию см. в описаниях фирмы Altera: "Configuration Devices for APEX & FLEX Devices Data Sheet" или "EPC16 Configuration Device Data Sheet".
2. После конфигурирования на выводе DATA конфигурируемого устройства устанавливается "0".
3. После установления "1" на выводе CONF_DONE микросхемы APEX II и APEX 20K, переходят в пользовательский режим через 40 тактов, Mercury - через 136 тактов, ACEX 1K, FLEX 10K, FLEX 6000 - через 10 тактов.
4. В одной цепочке можно конфигурировать несколько разных микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000. При этом вывод nCEO первой конфигурируемой микросхемы соединяется с выводом nCE второй микросхемы. Для конфигурирования все выходы CONF_DONE и nSTATUS должны быть соединены вместе.

Схема конфигурации нескольких микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 в одной конфигурационной цепочке показана на рис. 5.

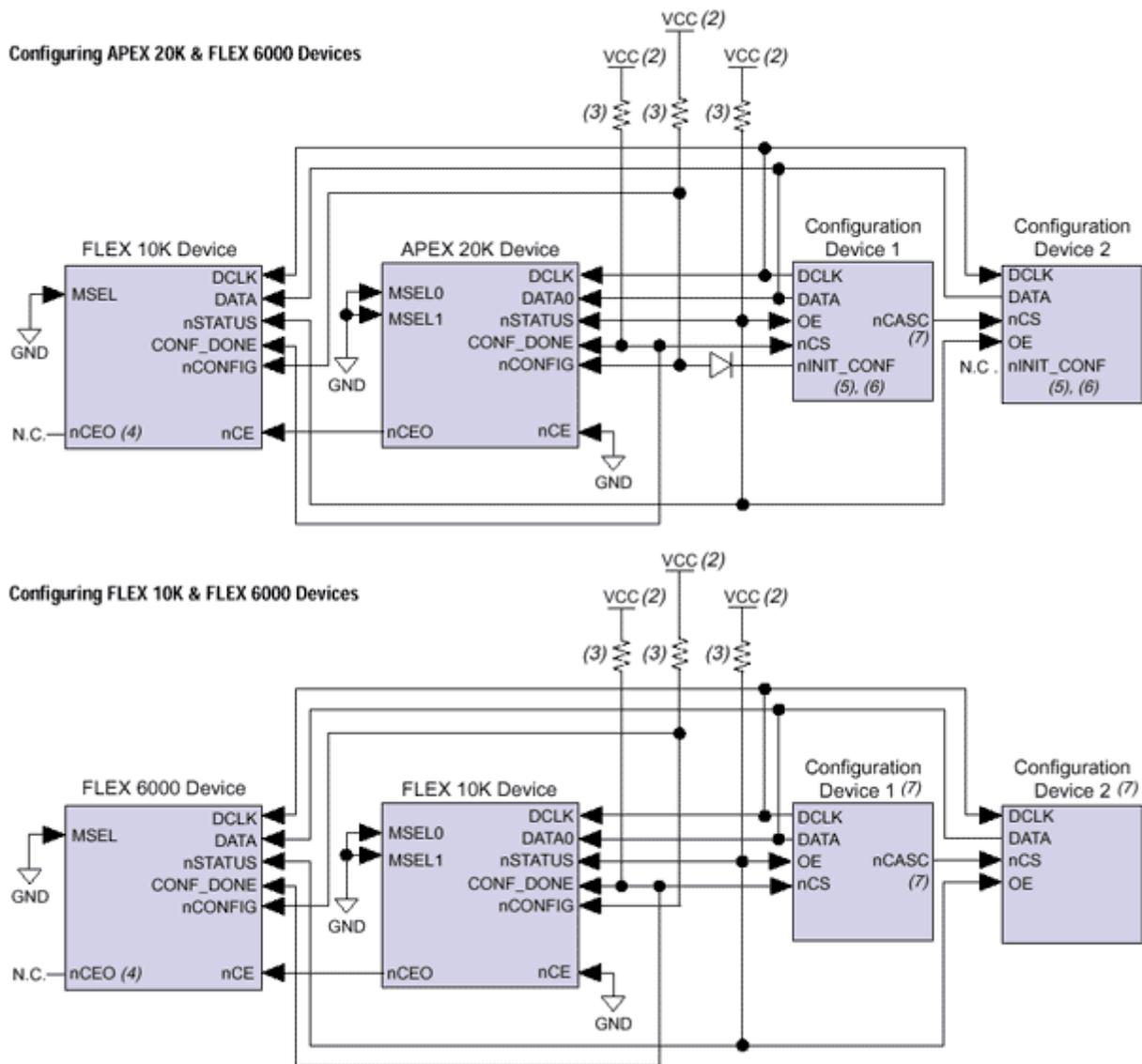


Рис. 5. Схема конфигурирования нескольких микросхем APEX 20K, FLEX 10K и FLEX 6000

Примечания к рисунку 5:

1. Более подробную информацию см. в описаниях фирмы Altera "Configuration Devices for APEX & FLEX Devices Data Sheet" или "EPC16 Configuration Device Data Sheet".
2. Вывод VCC (напряжение питания ядра) должен быть подключен к тому же источнику напряжения, что и конфигурационная микросхема кроме микросхем APEX 20KC и APEX 20KE. Для микросхем APEX 20KC и APEX 20KE для подтягивания напряжения на выводе nCONFIG к напряжению VCCINT используется резистор 10 кОм.
3. Все подтягивающие резисторы должны иметь номинал 1 кОм (10 кОм для APEX 20KC и APEX 20KE). Устройство EPC2 на выводах OE и nCS имеет внутренний, включаемый пользователем, подтягивающий резистор 1 кОм. При использовании внутреннего подтягивающего резистора внешний резистор использовать не нужно.
4. Для последней микросхемы в цепочке вывод nCEO оставляется неподключенным.
5. Вывод nINIT_CONF имеется только в микросхемах EPC16, EPC8 и EPC2. Если вывод nINIT_CONF отсутствует (в том числе на микросхеме EPC1) или не используется, напряжение на выводе nCONFIG должно быть увеличено до напряжения VCC непосредственно или спомощью резистора.
6. Вывод nINIT_CONF имеет внутренний подтягивающий резистор, который всегда задействован в микросхемах EPC16, EPC8 и EPC2.
7. Для конфигурирования микросхем семейства FLEX 6000 конфигурационные микросхемы EPC16, EPC8 и EPC2 не используются.
8. Конфигурационные микросхемы EPC16 и EPC8 не могут соединяться каскадно.

Более подробную информацию см. в описаниях фирмы Altera "Configuration Devices for APEX & FLEX Devices Data Sheet" или "EPC16 Configuration Device Data Sheet".

В таблице 6 приведены состояния выводов DATA микросхем во время конфигурации. (Микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K имеют восьмизрядную шину DATA [7..0], а микросхемы FLEX 6000 имеют

однобитный вывод DATA).

Таблица 6. Состояния выводов DATA во время и по окончании конфигурирования

Вывод	APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K		FLEX 6000	
	Во время	После	В течении	после
DATA (1)	-----	-----	Используется для конфигурирования	В третьем состоянии
DATA0 (1)	Используется для конфигурирования	В третьем состоянии	-----	-----
DATA [7:1] (2)	Используется в некоторых режимах конфигурирования	Выбирается пользователем	-----	-----
I/O-выводы	В третьем состоянии	Выбирается пользователем	В третьем состоянии	Выбирается пользователем

Примечания к таблице 6:

1. Показано состояние при конфигурировании с помощью конфигурационной микросхемы.
2. Функции этих выводов зависят от настроек установленных в MAX+PLUS II в разделе "Global Project Device Options". Для микросхем APEX 20K программа QUARTUS II обеспечивает подобную опцию в разделе "Device & Pin Option". Чтобы выбрать эту опцию зайдите в меню "Compiler Settings", затем зайдите в меню "Chips & Devices". Дополнительную информацию см. в справочной системе пакетов MAX+PLUS II или QUARTUS II.
3. Более подробную информацию по конфигурирующим и программирующим файлам для данной конфигурационной схемы см. в разделе "Конфигурационные файлы микросхем".

3.2. Пассивный последовательный режим конфигурирования с помощью загрузочного кабеля

В пассивном последовательном режиме конфигурирования (Passive Serial) (PS-конфигурировании) с помощью загрузочного кабеля главный контроллер загружает данные из внешнего запоминающего устройства в микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 через кабель MasterBlaster или ByteBlasterMV. Для начала конфигурирования в этом режиме загрузочное устройство обеспечивает изменение уровня сигнала от "0" в "1" на выводе nCONFIG. Программирующая аппаратура затем побитно передает конфигурационные данные на вывод DATA микросхемы (в микросхемах APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K используется вывод DATA0, а в микросхемах FLEX 6000 - вывод DATA). Данные синхронно принимаются конфигурируемой микросхемой до момента перехода вывода CONF_DONE в состояние "1". При использовании программирующей аппаратуры для микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 опция "Auto-Restart Configuration on Frame Error" не влияет на цикл конфигурации, поскольку САПР MAX+PLUS II или QUARTUS II перезапускает конфигурирование при обнаружении ошибки.

Схема PS-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 с использованием загрузочных устройств MasterBlaster или ByteBlasterMV приведена на рис. 6.

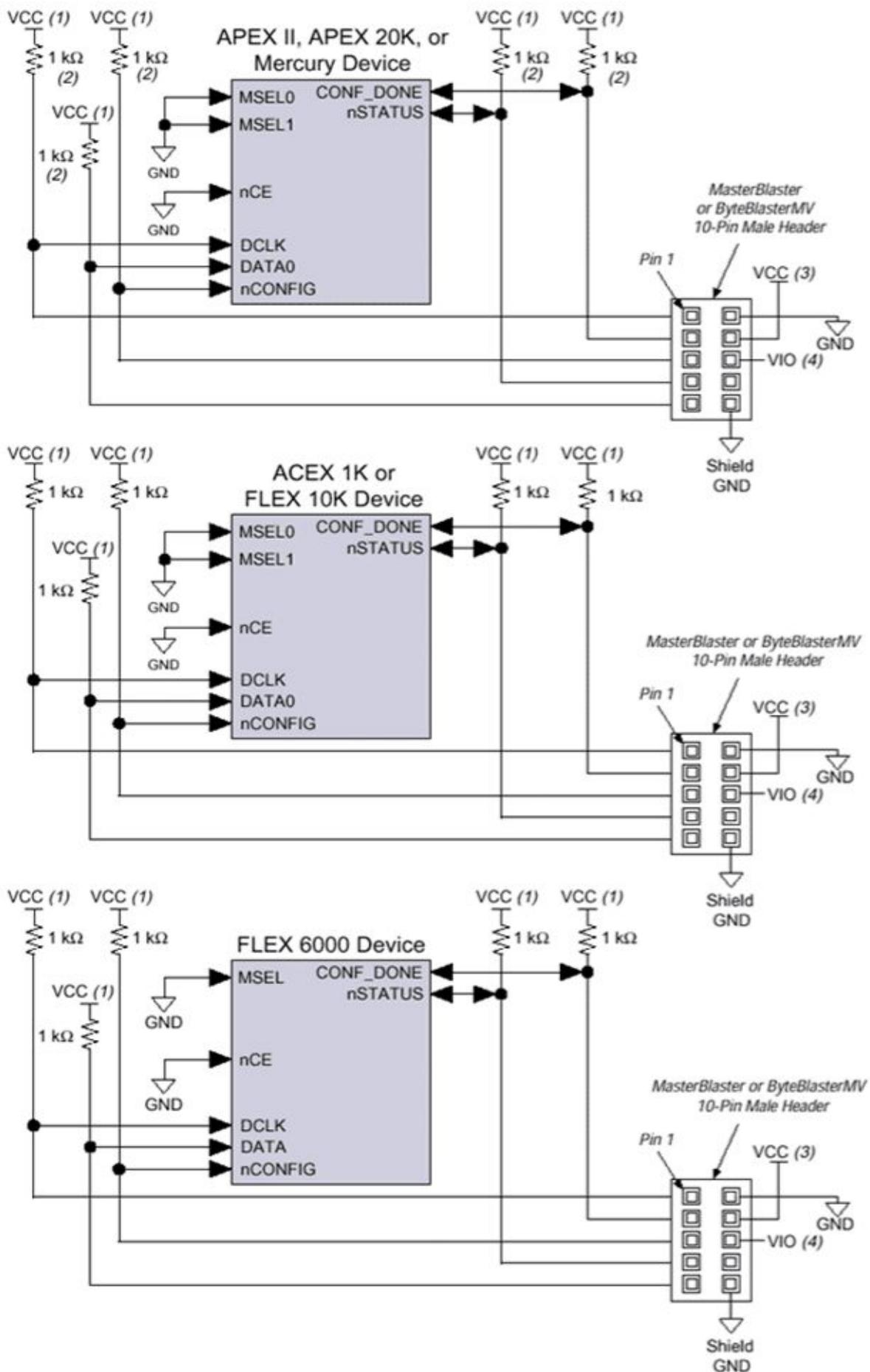


Рис. 6. Схема PS-конфигурирования с помощью устройств MasterBlaster и MasterBlasterMV

Примечания к рисунку 6:

1. Подтягивающий резистор должен быть подключен к тому же напряжению питания, что и нагрузочное устройство MasterBlaster или ByteBlasterMV (вывод VIO), за исключением микросхем APEX 20KE и APEX 20KC. Для микросхем APEX 20KE и APEX 20KC для подтягивания напряжения на выводе nCONFIG до напряжения VCCINT используется резистор 10 кОм.
2. Для микросхем APEX 20KE и APEX 20KC используется подтягивающий резистор 10 кОм.
3. Вывод nCEO последней микросхемы в цепочке конфигурирования оставляется неподключенным.
4. Напряжение питания составляет: Для нагрузочного устройства MasterBlaster - VCC=3,3 В или 5 В. Для нагрузочного устройства MasterBlasterMV VCC = 3,3 В или 5 В.
5. На вывод 6 разъема подается опорное напряжение VIO выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO. Для MasterBlasterMV этот вывод оставляется несоединенным.

При конфигурировании нескольких микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000, вывод nCEO предыдущей микросхемы соединяется с выводом nCE последующей микросхемы. Все остальные конфигурационные выводы микросхем в конфигурируемой цепочке соединяются. Так как выводы CONF_DONE микросхем соединены вместе, инициализация микросхем и переход их в пользовательский режим происходят одновременно.

Кроме того, так как все выводы nSTATUS соединены вместе - при обнаружении ошибки в одной из микросхем останавливается конфигурирование всей цепочки. В этой ситуации САПР QUARTUS II или MAX+PLUS II должен начать реконфигурирование. Опция "Auto-Restart Configuration on Frame Error" не влияет на цикл конфигурирования.

Схема одновременного конфигурирования нескольких микросхем ACEX 1K, FLEX 10K, FLEX 6000 с помощью нагрузочных устройств MasterBlaster или ByteBlasterMV приведена на рис. 7.

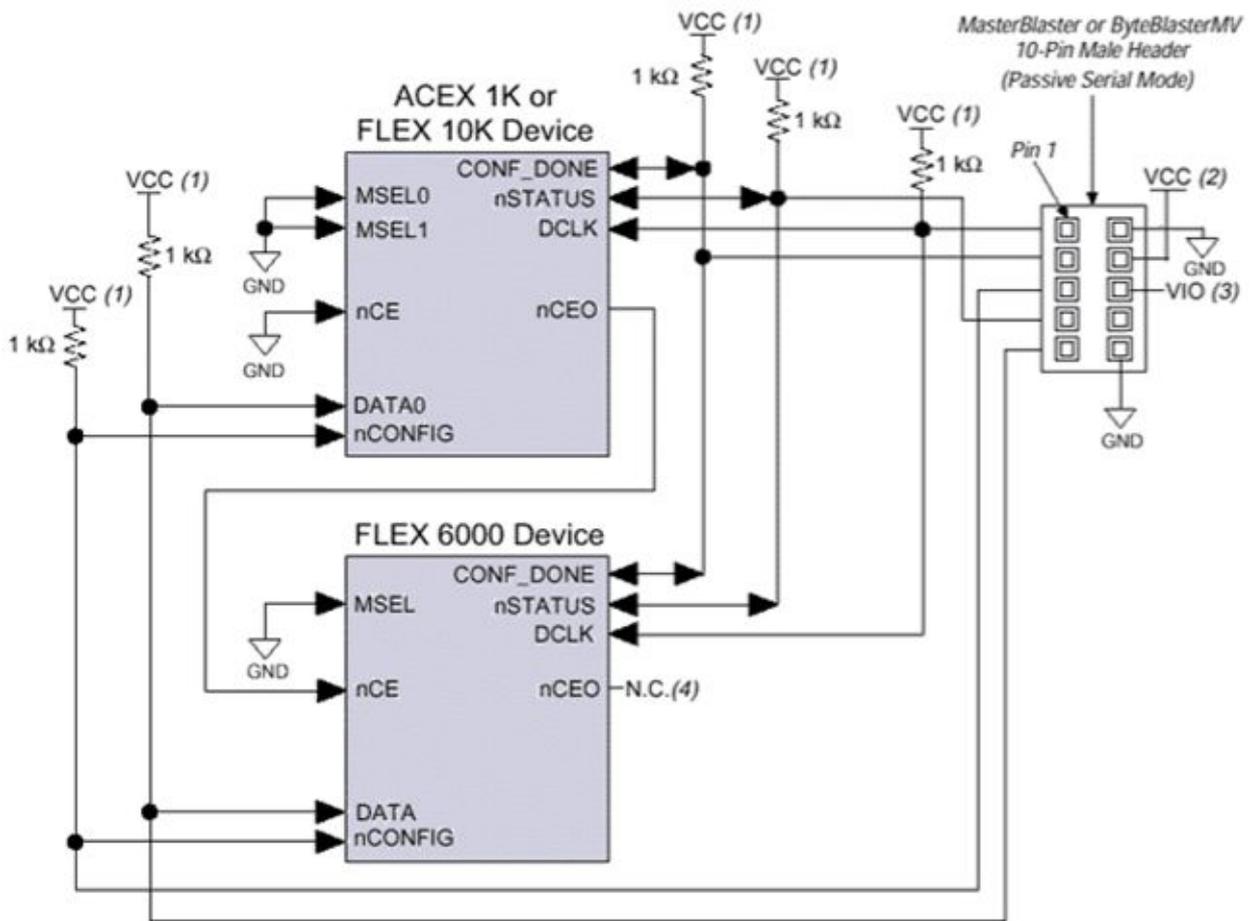


Рис. 7. Схема одновременного конфигурирования микросхем ACEX 1K, FLEX 10K и FLEX 6000 с помощью нагрузочного кабеля

Примечания к рисунку 7:

1. Подтягивающий резистор должен быть подключен к тому же напряжению питания, что и нагрузочное

- устройство MasterBlaster или ByteBlasterMV (вывод VIO).
2. Напряжение питания составляет: Для загрузочного устройства MasterBlaster - VCC=3,3 В или 5 В. Для загрузочного устройства MasterBlasterMV VCC = 3,3 В или 5 В.
 3. На вывод 6 разъема подается опорное напряжение VIO выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO. Для MasterBlasterMV этот вывод оставляется несоединенным.
 4. Вывод nCEO последней микросхемы в цепочке конфигурирования оставляется неподключенным.

Схема конфигурирования нескольких микросхем ACEX 1K, FLEX 10K с помощью загрузочного кабеля MasterBlasterMV приведена на рис. 8.

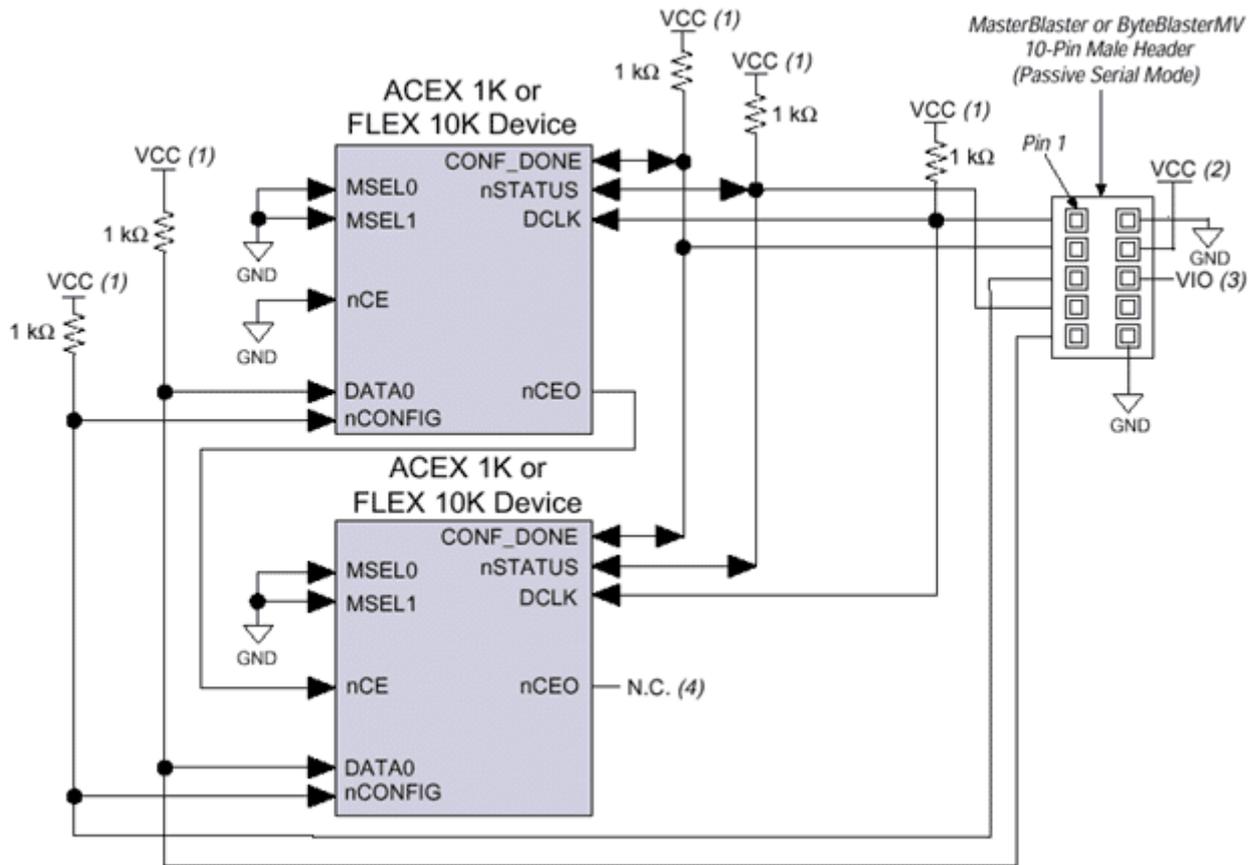


Рис. 8. Схема одновременного конфигурирования микросхем ACEX 1K и FLEX 10K с помощью загрузочного устройства

Примечания к рисунку 8:

1. Подтягивающий резистор должен быть подключен к тому же напряжению питания, что и загрузочное устройство MasterBlaster или ByteBlasterMV (вывод VIO).
2. Напряжение питания составляет: Для загрузочного устройства MasterBlaster - VCC=3,3 В или 5 В. Для загрузочного устройства MasterBlasterMV VCC = 3,3 В или 5 В.
3. На вывод 6 разъема подается опорное напряжение VIO выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO (см. также описание фирмы Altera "Serial/USB Communications Cable Data Sheet").
4. Вывод nCEO последней микросхемы в цепочке конфигурирования оставляется неподключенным.

Схема одновременного конфигурирования нескольких микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K с помощью кабеля MasterBlaster или ByteBlasterMV приведена на рис. 9.

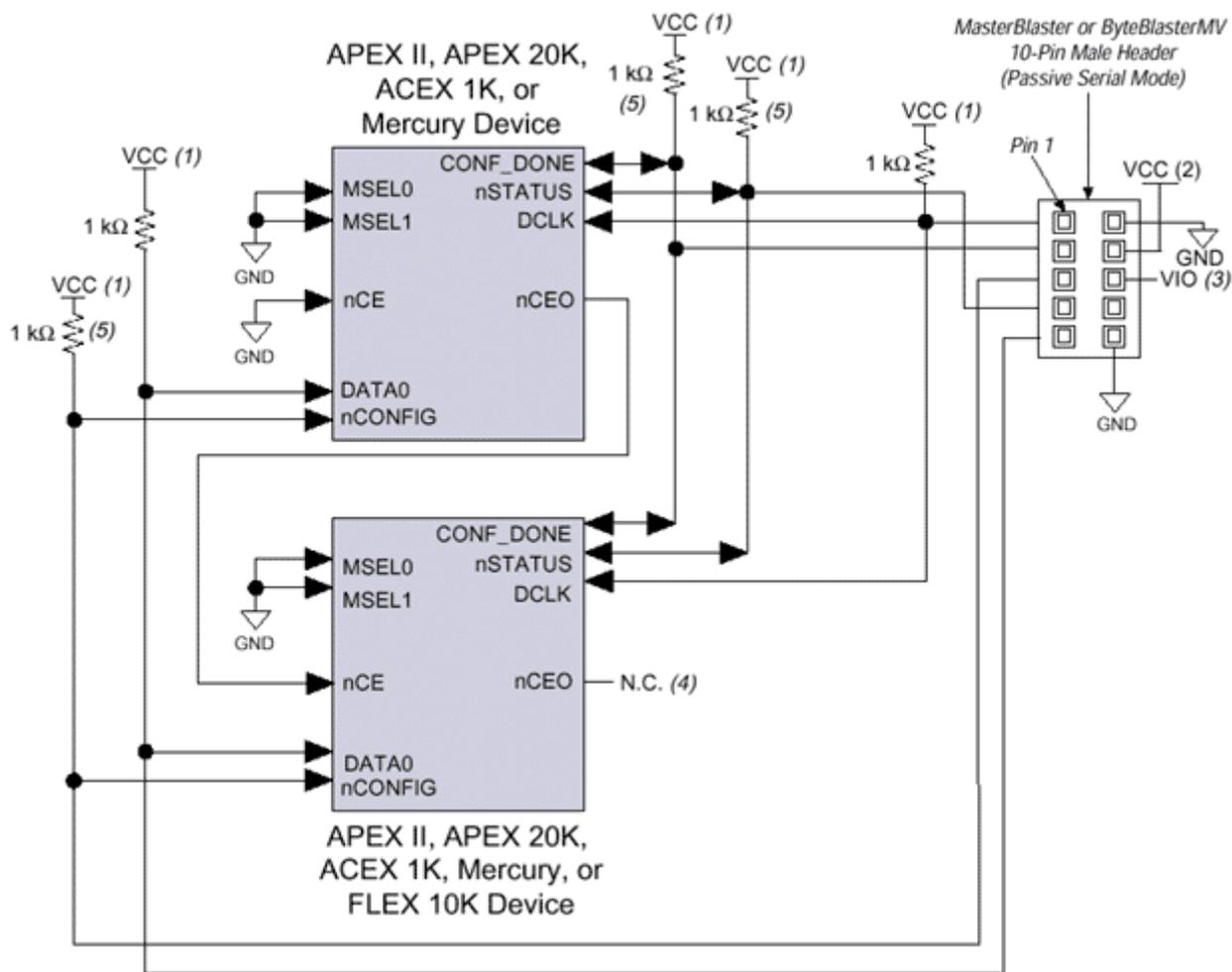


Рис. 9. Схема одновременного конфигурирования микросхем APEX II, ACEX 1K, Mercury и APEX II, APEX 20K FLEX 10K с помощью загрузочного устройства

Примечания к рисунку 9:

1. Подтягивающий резистор должен быть подключен к тому же напряжению питания, что и загрузочное устройство MasterBlaster или ByteBlasterMV (вывод VIO), за исключением микросхем APEX 20KE и APEX 20KC. Для микросхем APEX 20KE и APEX 20KC для подтягивания напряжения на выводе nCONFIG до напряжения VCCINT используется резистор 10 кОм.
2. Напряжение питания составляет: Для загрузочного устройства MasterBlaster - VCC = 3,3 В или 5 В. Для загрузочного устройства MasterBlasterMV VCC = 3,3 В или 5 В.
3. На вывод 6 разъема подается опорное напряжение VIO выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO. Для MasterBlasterMV этот вывод оставляется несоединенным.
4. Вывод nCEO последней микросхемы в цепочке конфигурирования оставляется неподключенным.
5. Для микросхем APEX 20KE и APEX 20KC используется резистор 10 кОм. Если используется комбинация микросхем APEX 20KE и APEX 20KC с другими микросхемами, то на выводах nSTATUS и CONF_DONE используются подтягивающие резисторы 10 кОм.

Конфигурирование ПЛИС с помощью MasterBlaster или ByteBlasterMV на плате, содержащей также конфигурационную микросхему, можно выполнить несколькими способами.

Первый способ реализуется с помощью мультиплексора, обеспечивающего выбор конфигурационной микросхемы или загрузочного кабеля. Мультиплексор должен обеспечивать реверсивную передачу сигналов nSTATUS и CONF_DONE.

Другим способом является установка переключателей пяти общих сигналов (nSTATUS, CONF_DONE, DCLK, nCONFIG, DATA0) от конфигурационной микросхемы и загрузочного кабеля.

И последним способом является удаление конфигурационной микросхемы с платы при конфигурировании с помощью загрузочного устройства.

Пример схемы с загрузкой конфигурации от конфигурационной микросхемы или загрузочного кабеля MasterBlaster или ByteBlasterMV.

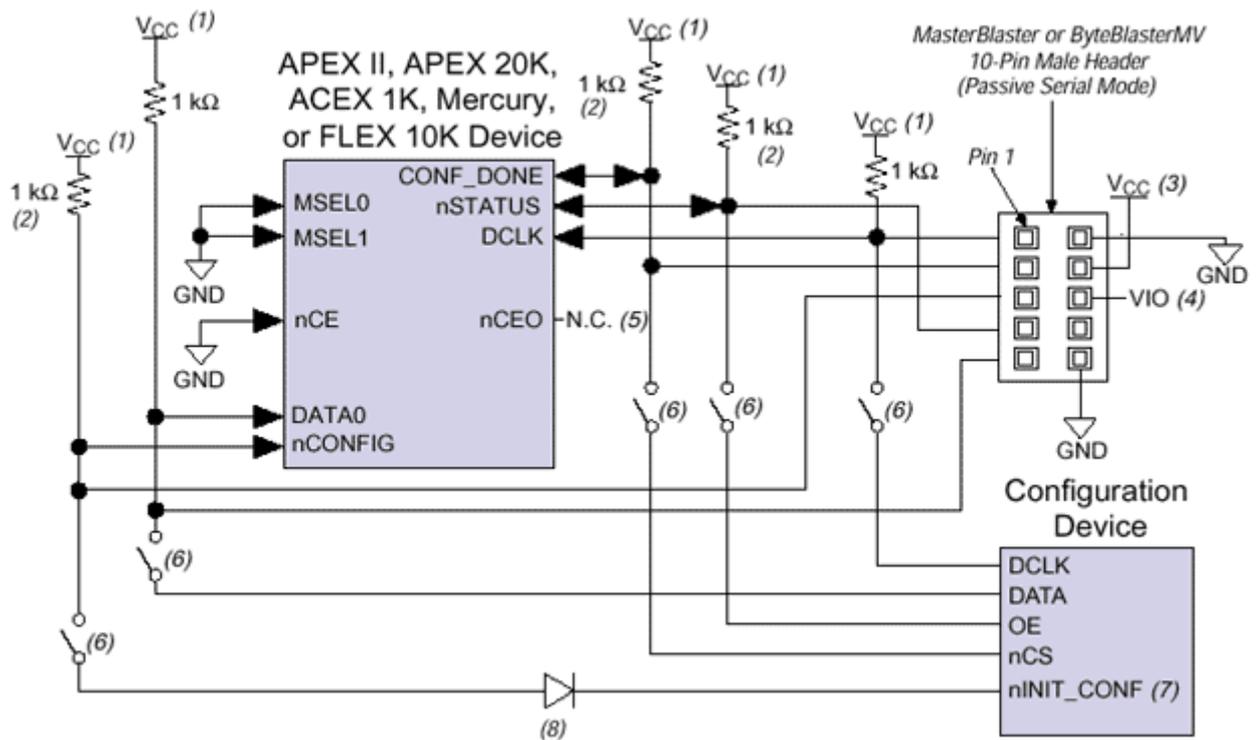


Рис. 10. Комбинированная схема конфигурирования с использованием пассивной последовательной схемы или конфигурационной микросхемы

Примечания к рисунку 10:

1. Подтягивающий резистор должен быть подключен к тому же напряжению питания, что и нагрузочное устройство MasterBlaster или ByteBlasterMV (вывод VIO), за исключением микросхем APEX 20KE и APEX 20KC. Для микросхем APEX 20KE и APEX 20KC для подтягивания напряжения на выводе nCONFIG до напряжения VCCINT используется резистор 10 кОм.
2. Для микросхем APEX 20KE и APEX 20KC используется подтягивающий резистор 10 кОм.
3. Напряжение питания составляет: Для нагрузочного устройства MasterBlaster - VCC = 3,3 В или 5 В. Для нагрузочного устройства MasterBlasterMV VCC = 3,3 В или 5 В.
4. На вывод 6 разъема подается опорное напряжение VIO выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO конфигурируемой микросхемы. Для MasterBlasterMV этот вывод оставляется несоединенным.
5. Вывод nCEO последней микросхемы в цепочке конфигурирования оставляется неподключенным.
6. Не следует конфигурировать с помощью MasterBlaster или ByteBlasterMV, при наличии соединения конфигурационной микросхемы с ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000. При использовании нагрузочного кабеля необходимо или вынуть конфигурационную микросхему из разъема или переключить пять общих сигналов на нагрузочный кабель.
7. Вывод nINIT_CONF доступен только на микросхемах EPC16, EPC8, и EPC2. Если вывод nINIT_CONF не доступен (в том числе на микросхеме EPC1) или не используется, вывод nCONFIG должен быть подтянут к напряжению VCC напрямую или при помощи резистора.
8. Для разделения источников питания 1,8 В или 3,3 В необходимо включить диод между выводом nCONFIG микросхемы APEX 20KE и выводом nINIT_CONF конфигурационной микросхемы. Необходим диод с пороговым напряжением не более 0,7 В. Диод обеспечивает нахождение вывода открытого стока nINIT_CONF либо в третьем состоянии, либо в состоянии логического "0".

Дополнительную информацию об использовании нагрузочных кабелей MasterBlaster или ByteBlasterMV можно найти в следующих документах фирмы Altera:

- "MasterBlaster Serial/USB Communications Cable Data Sheet",
- "ByteBlasterMV Parallel Port Download Cable Data Sheet".

Создание конфигурационных и программирующих файлов рассматривается в разделе "Конфигурационные файлы" настоящего пособия.

3.3. PS-конфигурирование с использованием микропроцессора

При PS-конфигурировании с использованием микропроцессора, последний загружает данные из запоминающего устройства в конфигурируемую микросхему APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, или FLEX 6000.

Для инициализации конфигурирования по этой схеме, микропроцессор должен создать на выводе nCONFIG переход из "0" в "1" и конфигурируемая микросхема должна освободить вывод nSTATUS. Затем микропроцессор или программирующая аппаратура побитно передают конфигурационные данные на вывод DATA, затем побитно передают конфигурационные данные на вывод DATA, конфигурируемой микросхемы (вывод DATA0 для микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K, и вывод DATA для микросхем FLEX 6000). Младший бит (LSB - Least Significant Beat) данных должен передаваться первым. Данные синхронно (по тактовому сигналу) поступают в конфигурируемую микросхему до момента перехода вывода CONF_DONE в состояние "1".

После передачи всех данных, перед инициализацией микросхемы вывод DCLK должен тактироваться еще 10 периодов для микросхем ACEX 1K, FLEX 10K, и FLEX 6000, еще 40 тактов для микросхем APEX II и APEX 20K, и 136 тактов для микросхем Mercury. Переход вывода CONF_DONE в "1" показывает успешное конфигурирование и начало инициализации. Конфигурирующие файлы созданные программным обеспечением QUARTUS II и MAX+PLUS II обеспечивают установку при инициализации дополнительных битов. После конфигурирования воздействие на вывод DCLK не нарушает работу микросхемы. Поэтому для конфигурирования и инициализации микросхемы достаточно загрузить конфигурационный файл.

В режимах PS конфигурирования не используются сигналы квитирования. Поэтому для гарантии успешного конфигурирования его тактовая частота должна быть ниже номинальной рабочей частоты. Период сигнала DCLK не ограничен. Прекратив тактирование DCLK можно приостановить конфигурирование на неопределенное время.

При обнаружении конфигурируемой микросхемой ошибки во время конфигурирования, она устанавливает "0" на выводе nSTATUS для предупреждения микропроцессора. Микропроцессор затем устанавливает "0" на выводе nCONFIG для повторного запуска процесса конфигурирования. При включенной в САПР QUARTUS II или MAX+PLUS II опции "Auto-Restart Configuration on Frame Error", конфигурируемая микросхема освобождает вывод nSTATUS по окончании периода ожидания. После освобождения nSTATUS, микропроцессор может реконфигурировать микросхему без перехода вывода nCONFIG в состояние "0".

Для гарантии успешного конфигурирования микропроцессор может контролировать выходы CONF_DONE и INIT_DONE. Если после отправки микропроцессором всех конфигурирующих данных и начала инициализации на выходах CONF_DONE и INIT_DONE не устанавливается "1" - он должен выполнить реконфигурацию микросхемы.

Схема PS-конфигурирования с использованием микропроцессора приведена на рис. 11.

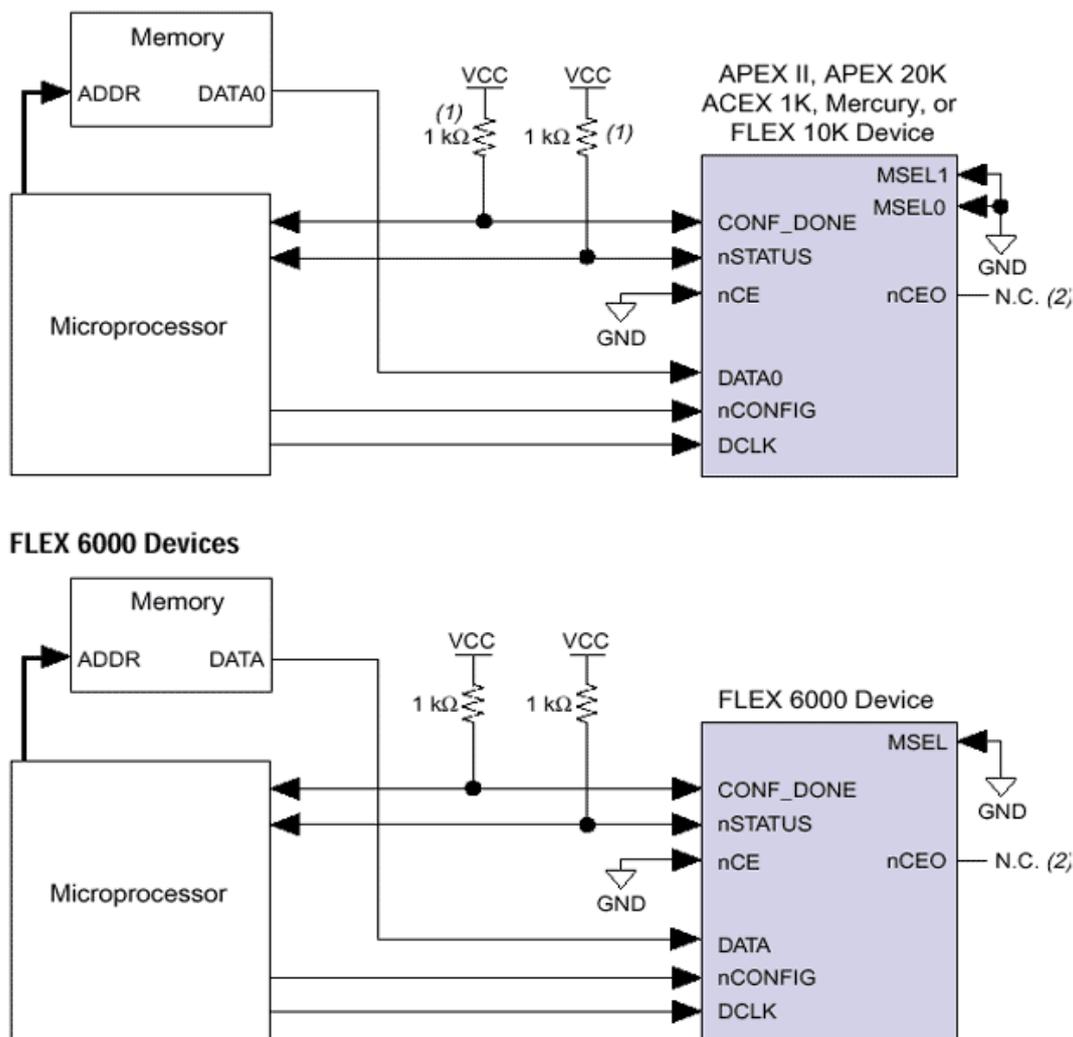


Рис. 11. Схема PS-конфигурирования с помощью микропроцессора

Примечания к рисунку 11:

1. Для микросхем APEX 20KE и APEX 20KC необходим подтягивающий нагрузочный резистор 10 кОм.
2. При конфигурировании одной микросхемы вывод nCEO оставляется неподключенным.

При PS-конфигурировании с помощью микропроцессора нескольких микросхем, вывод nCEO первой микросхемы, соединяется с выводом nCE второй. Конфигурирование второй микросхемы происходит за один цикл - поэтому микропроцессор легко контролирует данные. Поскольку все выходы CONF_DONE соединены вместе, все микросхемы инициализируются и получают данные одновременно.

Выходы nSTATUS также соединены вместе. Таким образом, при обнаружении любой из микросхем ошибки она останавливает конфигурирование всей цепи и на выводе nSTATUS устанавливается "0". Установив "0" на выводе nCONFIG микропроцессор может перезапустить процесс конфигурирования. Если в САПР QUARTUS II или MAX+PLUS II включена опция "Auto-Restart Configuration on Frame Error" - конфигурируемая микросхема освобождает вывод nSTATUS по окончании периода ожидания. После освобождения вывода nSTATUS, микропроцессор может реконфигурировать микросхему.

Схема одновременного конфигурирования нескольких ПЛИС с помощью микропроцессора приведена на рис. 12.

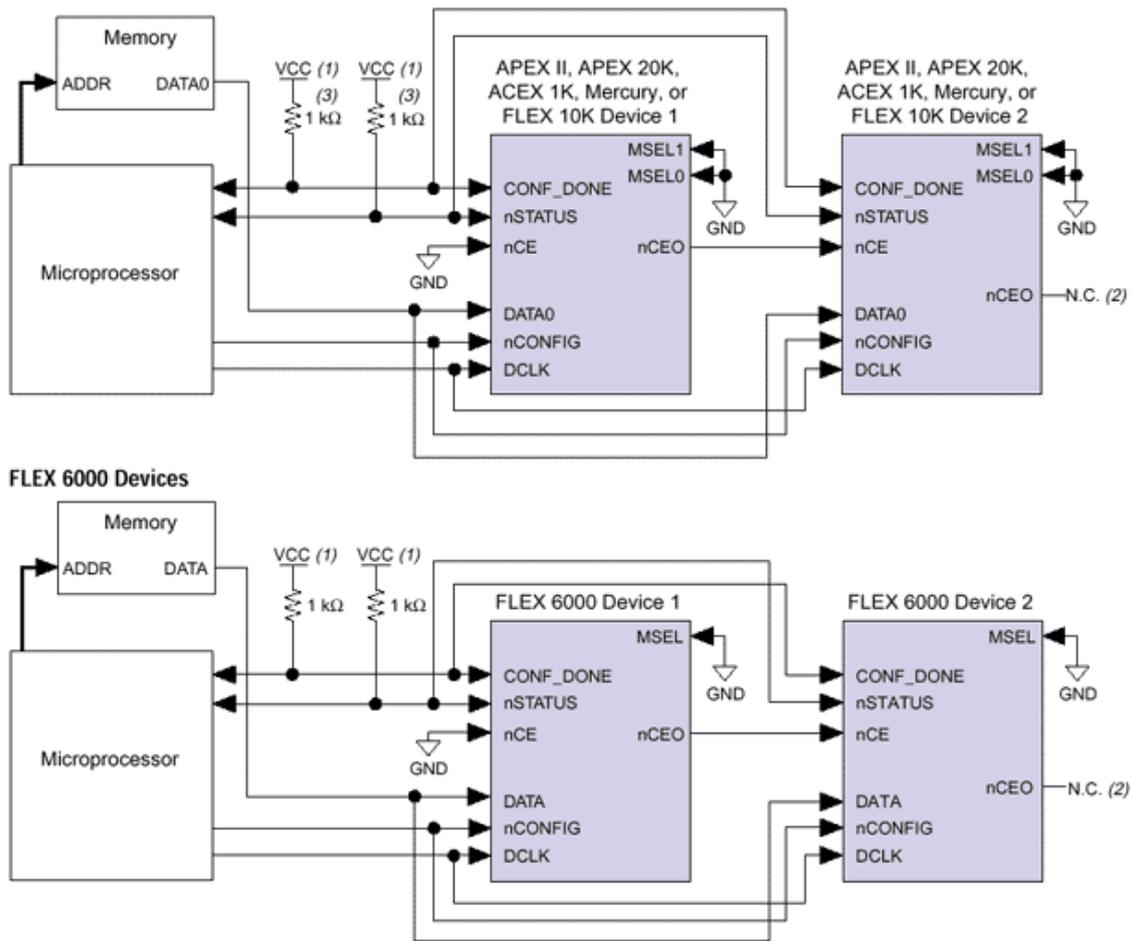


Рис. 12. Схема одновременного конфигурирования нескольких ПЛИС с помощью микропроцессора

Примечания к рисунку 12:

1. Чтобы обеспечить требуемые уровни входных сигналов для всех микросхем цепочки подтягивающий резистор должен соединяться с источником питания. Например, когда цепь содержит микросхемы, питаемые различным напряжением 5,0 В FLEX 10K и 2,5 В FLEX 10KE, резистор должен соединяться с напряжением 5,0 В. В этом случае 5,0 В используется потому, что I/O-выводы микросхемы FLEX 10KE могут использовать напряжение 5,0 В.
2. Вывод nCEO последней микросхемы в цепочке оставляется неподключенным.
3. Для микросхем APEX 20KE и APEX 20KC необходим подтягивающий резистор 10 кОм. При конфигурировании микросхем APEX 20KE и APEX 20KC совместно с другими ПЛИС на выводах nSTATUS и CONF_DONE необходим резистор 10 кОм.

Временные диаграммы для микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 приведены на рис. 13.

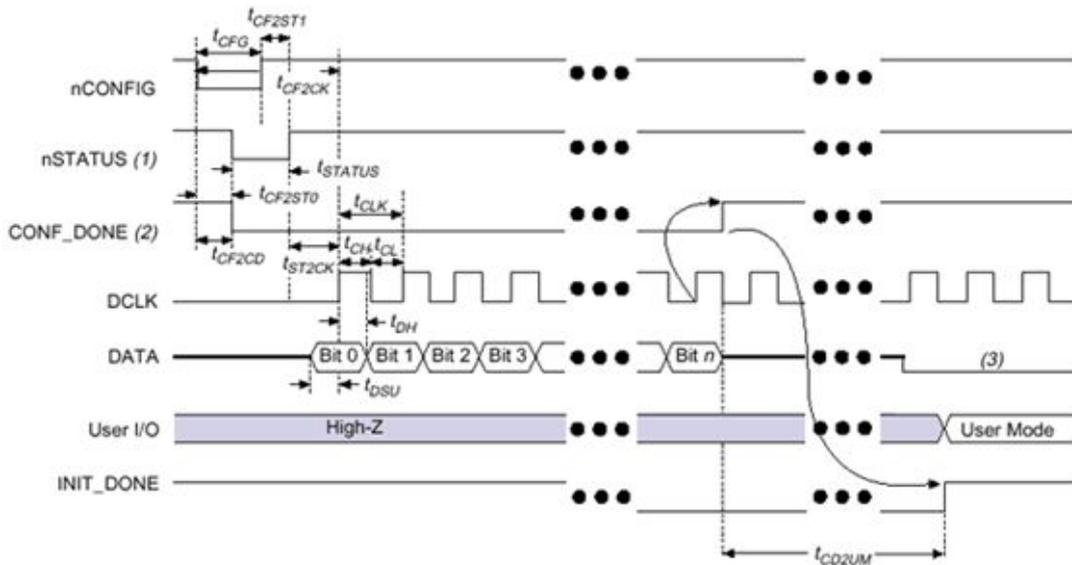


Рис. 13. Временные диаграммы при конфигурировании с помощью микропроцессора

Примечания к рисунку 13:

1. Около 5 мкс после включения, микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, или FLEX 6000 удерживают вывод nSTATUS в состоянии "0", до того момента установления напряжения VCC.
2. После включения и до конфигурирования вывод CONF_DONE находится в состоянии "0".
3. После конфигурирования вывод DATA не должен оставаться в неопределенном состоянии. На нем должны быть логические уровни "1" либо "0".

Временные параметры для микросхем APEX II и APEX 20K приведены в таблицах 7, 8.

Таблица 7. Временные параметры микросхем APEX 20K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на nSTATUS		200	нс
t_{CF2ST1}	От установления "1" nCONFIG FIG до установления "1" на nSTATUS		1 (3)	мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (1)	8		мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	10	40	мкс
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	40		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH}	Максимальное время DCLK	15		нс
t_{CL}	Минимальное время DCLK	15		нс
t_{CLK}	Период DCLK	30		нс
f_{MAX}	Максимальная частота DCLK		33,3	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (2)	2	8	мкс

Таблица 8. Временные параметры микросхем семейств APEX II, APEX 20KE & APEX 20K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на nSTATUS		200	нс
t_{CF2ST1}	От установления "1" nCONFIG FIG до установления "1" на nSTATUS		1 (3)	мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (1)	8		мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	10	40	мкс
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	40		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс

t_{CH}	Максимальное время DCLK	8.75		нс
t_{CL}	Минимальное время DCLK	8.75		нс
t_{CLK}	Период DCLK	17.5		нс
f_{MAX}	Максимальная частота DCLK		57	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (2)	2	8	мкс

Таблица 9. Временные параметры микросхем семейства Mercury

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на nSTATUS		200	нс
t_{CF2ST1}	От установления "1" nCONFIG FIG до установления "1" на nSTATUS		1 (3)	мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (1)	21		мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	10	40	мкс
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	45		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH}	Максимальное время DCLK	10		нс
t_{CL}	Минимальное время DCLK	10		нс
t_{CLK}	Период DCLK	20		нс
f_{MAX}	Максимальная частота DCLK		50	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (2)	6	28	мкс

Таблица 10. Временные параметры микросхем семейства ACEX 1K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на nSTATUS		200	нс
t_{CF2ST1}	От установления "1" nCONFIG FIG до установления "1" на nSTATUS		4 (3)	мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (1)	2		мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	1	40	мкс
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	5		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH}	Максимальное время DCLK	15		нс
t_{CL}	Минимальное время DCLK	10		нс
t_{CLK}	Период DCLK	30		нс
f_{MAX}	Максимальная частота DCLK		33,3	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (2)	0.6	2	мкс

Таблица 11. Временные PS-параметры микросхем семейства ACEX 1K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на nSTATUS		200	нс
t_{CF2ST1}	От установления "1" nCONFIG FIG до установления "1" на nSTATUS		4 (3)	мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (1)	2		мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	1	40	мкс
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	5		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH}	Максимальное время DCLK	15		нс
t_{CL}	Минимальное время DCLK	10		нс
t_{CLK}	Период DCLK	30		нс
f_{MAX}	Максимальная частота DCLK		33,3	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (2)	0.6	2	мкс

Таблица 12. Временные параметры микросхем семейств FLEX 10K & FLEX 6000

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на nSTATUS		200	нс
t_{CF2ST1}	От установления "1" nCONFIG до установления "1" на nSTATUS		4	мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (1)	2		мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	1	40	мкс
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	5		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH}	Максимальное время DCLK	35		нс
t_{CL}	Минимальное время DCLK	30		нс
t_{CLK}	Период DCLK	60		нс
f_{MAX}	Максимальная частота DCLK		16.7	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (2)	0.6	2	мкс

Примечания к таблицам 7-12:

1. Если конфигурирование остановлено и реинициализировано до того как на выводе CONF_DONE появится "1", значение определено при синхронизации внутренним генератором. Если конфигурирование остановлено и реинициализировано до того как на выводе CONF_DONE появится "1", а источник синхронизации - CLKUSR или DCLK, то значение складывается из 40 синхротактов для микросхем APEX II, APEX 20K, 136 для Mercury и 10 для FLEX 10K, FLEX 6000 чтобы определить эту величину.
2. Минимальные и максимальные величины указаны, только при синхронизации внутренним генератором. При внешнем источнике синхронизации (CLKUSR или DCLK), то значение составляет 40 синхротактов для микросхем APEX II, APEX 20K, 136 для Mercury, и 10 для ACEX 1K, FLEX 10K, FLEX 6000.
3. Эта величина определена без учета, возможной приостановки конфигурирования пользователем, затягиванием импульса "0" на выводе nSTATUS.
4. Временные параметры микросхем APEX II, APEX 20K, Mercury предварительные.

Схема одновременного PS-конфигурирования нескольких ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, FLEX 6000 с помощью микропроцессора приведен на рис. 14.

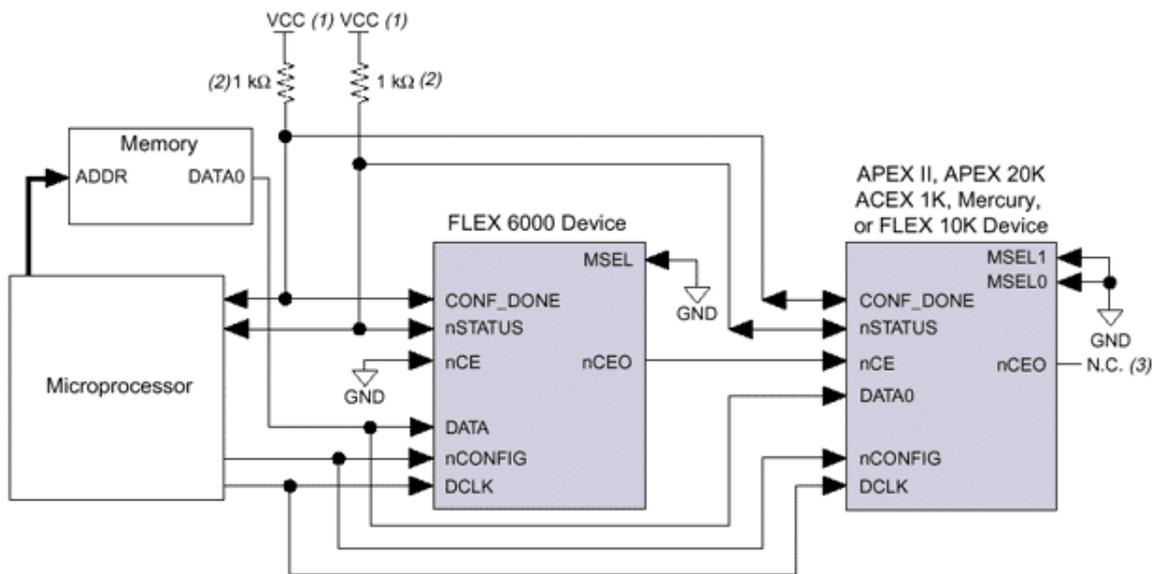


Рис. 14. Схема одновременного PS-конфигурирования нескольких ПЛИС с помощью микропроцессора

Примечания к рисунку 14:

1. Чтобы обеспечить требуемые уровни входных сигналов для всех микросхем цепочки подтягивающий резистор должен соединяться с источником питания. Например, когда цепь содержит микросхемы, питаемые различным напряжением 5,0 В FLEX 10K и 2,5 В FLEX 10KE, резистор должен соединяться с напряжением 5,0 В. В этом случае 5.0 В используется потому, что I/O-выводы микросхемы FLEX 10KE могут использовать напряжение 5,0 В.

- Для микросхем APEX 20KE и APEX 20KC необходим подтягивающий резистор 10 кОм. При конфигурировании микросхем APEX 20KE и APEX 20KC совместно с другими ПЛИС на выводах nSTATUS и CONF_DONE необходим резистор 10 кОм.
- Вывод nCEO последней микросхемы в цепочке оставляется неподключенным.
- Создание программирующих и конфигурационных файлов описывается в разделе "Конфигурационные файлы микросхем".

3.3.1. PPS-конфигурирование

Пассивная параллельная синхронная схема (PPS - Passive Parallel Synchronous) (PPS-конфигурирование) применяется только для микросхем APEX 20K, Mercury, ACEX 1K, FLEX 10K.

При PPS-конфигурировании микропроцессор загружает данные параллельно, затем они преобразуются в последовательные в ПЛИС. Байты данных, поступают на выходы DATA[7..0] зашелкиваются, а затем преобразуются в последовательный вид.

Выводы DCLK, CONF_DONE, nCONFIG, nSTATUS, DATA[7..0] соединяются с портом микропроцессора. Для начала конфигурирования на вывод nCONFIG подается положительный перепад ("0" в "1"), процессор посылает на вход данных конфигурируемой микросхемы 8-битовое конфигурационное слово. Байты конфигурационных данных зашелкиваются конфигурируемой микросхемой по фронту каждого 8-го синхроимпульса. Следующие 8 импульсов идет преобразование параллельного кода в последовательный. Конфигурирование можно прерывать на неопределенное время. Для этого нужно прервать синхронизацию на выводах DCLK. DCLK. Вывод статуса (RDYnBSY) конфигурируемой микросхемы показывает, когда она преобразует данные, а когда готова принять следующий байт информации. Если во время конфигурирования обнаружена ошибка, на выводе nSTATUS появляется "0". Обнаружив этот сигнал, микропроцессор начинает реконфигурирование либо выдает ошибку.

После успешного окончания конфигурирования, вывод CONF_DONE освобождается. Появление выводе CONF_DONE "1" указывает на окончание конфигурирования. До начала инициализации микросхемы после загрузки последнего байта данных, на вывод DCLK должно поступить еще 40 синхроимпульсов для микросхем APEX 20K, 136 синхроимпульсов для микросхем Mercury и 10 - для микросхем FLEX 10K для освобождения вывода CONF_DONE (см. рис. 15).

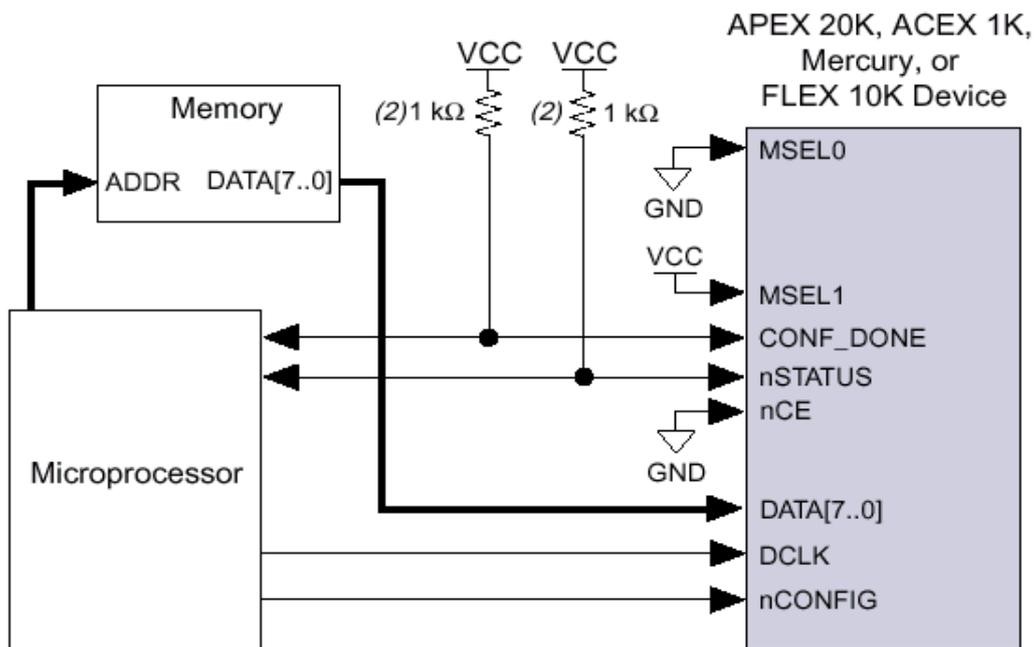


Рис. 15. Схема PPS-конфигурирования

Примечания к рисунку 15

- для микросхем APEX 20K, Mercury, ACEX 1K, FLEX 10K конфигурационное слово может быть представлено в текстовых файлах (.ttf), Raw Binary (.rbf) или в шестнадцатеричном формате (.hex). Создание программирующих и конфигурационных файлов рассматривается в разделе "Конфигурационные файлы микросхем".
- Для микросхем APEX 20KE и APEX 20KC используется подтягивающий нагрузочный резистор 10 кОм.

В PPS-режиме можно конфигурировать одновременно несколько каскадно-соединенных микросхем APEX 20K, Mercury, ACEX 1K, FLEX 10K. После конфигурирования первой микросхемы, она выдает с вывода nCEO на вход nCE последующей микросхемы сигнал логического "0". Вторая микросхема начинает конфигурирование в течение одного синхроимпульса. Так как выводы CONF_DONE всех микросхем соединены вместе, все микросхемы

t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH2B}	От первого фронта DCLK до первого фронта RDYnBSY (2)	0.75		мкс
t_{CFG}	Длительность импульса "0" на выводе nCONFIG (3)	8		мкс
t_{CH}	Максимальное время DCLK	30		нс
t_{CL}	Минимальное время DCLK	30		нс
t_{CLK}	Период DCLK	60		нс
f_{MAX}	Максимальная частота DCLK		16.7	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (4)	2	8	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nCONFIG до установления "0" на nSTATUS		1 (5)	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	10	40	мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс

Примечания к таблице 13:

1. Предварительная информация.
2. Эти параметры зависят от частоты синхроимпульсов. Сигнал на выводе RDYnBSY остается в состоянии "1" в течение 7,5 синхротактов после поступления фронта синхроимпульса на вывод DCLK. Эта величина рассчитана для частоты синхронизации 10 мГц.
3. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметра составляет 40 периодов синхросигнала.
4. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметров составляет 40 периодов синхросигнала.
5. Без учета возможной приостановки конфигурирования пользователем, задержкой импульса "0" на выводе nSTATUS.

Таблица 14. Временные PPS-параметры микросхем Mercury

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	40		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH2B}	От первого фронта DCLK до первого фронта RDYnBSY (2)	0.75		мкс
t_{CFG}	Длительность импульса низкого уровня nCONFIG (3)	8		мкс
t_{CH}	Максимальное время DCLK	30		нс
t_{CL}	Минимальное время DCLK	30		нс
t_{CLK}	Период DCLK	60		нс
f_{MAX}	Максимальная частота DCLK		16.7	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (4)	2	8	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nCONFIG до установления "0" на nSTATUS		1 (5)	мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	10	40	мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс

Примечания к таблице 14:

1. Предварительная информация.
2. Эти параметры зависят от частоты синхроимпульсов. Сигнал на выводе RDYnBSY остается в состоянии "1" в течение 7,5 синхротактов после поступления фронта синхроимпульса на вывод DCLK. Эта величина рассчитана для частоты синхронизации 10 мГц.
3. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметра составляет 136 периодов синхросигнала.
4. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметров составляет 136 периодов синхросигнала.
5. Без учета возможной приостановки конфигурирования пользователем, задержкой импульса "0" на выводе nSTATUS.

Таблица 15. Временные PPS-параметры микросхем ACEX 1K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	40		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс

t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH2B}	От первого фронта DCLK до первого фронта RDYnBSY (2)	0.75		мкс
t_{CFG}	Длительность импульса "0" на выводе nCONFIG (3)	8		мкс
t_{CH}	Максимальное время DCLK	30		нс
t_{CL}	Минимальное время DCLK	30		нс
t_{CLK}	Период DCLK	60		нс
f_{MAX}	Максимальная частота DCLK		16.7	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (4)	2	8	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nCONFIG до установления "0" на nSTATUS		1	мкс
t_{STATUS}	Длительность импульса низкого уровня nSTATUS	10	40	мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс

Примечания к таблице 15:

1. Эти параметры зависят от частоты синхроимпульсов. Сигнал на выводе **RDYnBSY** остается в состоянии "1" в течение 7,5 синхротактов после поступления фронта синхроимпульса на вывод **DCLK**. Эта величина рассчитана для частоты синхронизации 10 МГц.
2. Только при синхронизации встроенным генератором. При синхронизации **CLKUSR** или **DCLK** значение параметра составляет 10 периодов синхросигнала.
3. Только при синхронизации встроенным генератором. При синхронизации **CLKUSR** или **DCLK** значение параметров составляет 10 периодов синхросигнала.

Таблица 16. Временные PPS-параметры микросхем FLEX10K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	5		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CH2B}	От первого фронта DCLK до первого фронта RDYnBSY (2)	0.75		мкс
t_{CFG}	Длительность импульса "0" на выводе nCONFIG (3)	2		мкс
t_{CH}	Максимальное время DCLK	30		нс
t_{CL}	Минимальное время DCLK	30		нс
t_{CLK}	Период DCLK	60		нс
f_{MAX}	Максимальная частота DCLK		16.7	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (4)	0.6	2	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nCONFIG до установления "0" на nSTATUS		4	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	1		мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс

Примечания к таблице 16:

1. Эти параметры зависят от частоты синхроимпульсов. Сигнал на выводе **RDYnBSY** остается в состоянии "1" в течение 7,5 синхротактов после поступления фронта синхроимпульса на вывод **DCLK**. Эта величина рассчитана для частоты синхронизации 10 МГц.
2. Только при синхронизации встроенным генератором. При синхронизации **CLKUSR** или **DCLK** значение параметра составляет 10 периодов синхросигнала.
3. Только при синхронизации встроенным генератором. При синхронизации **CLKUSR** или **DCLK** значение параметров составляет 10 периодов синхросигнала.

Создание программирующих и конфигурационных файлов рассматривается в разделе "Конфигурационные файлы микросхем".

3.3.2. Микросхемы APEX II с параллельным конфигурированием.

Параллельное конфигурирование микросхем APEX II было введено с учетом требований ускорения процесса конфигурации. Микросхемы APEX II обеспечивают возможность загрузки байта (byte-wide) за один синхротакт, и обеспечивают время конфигурирования менее 100 мс при частоте синхронизации 66 МГц.

Параллельная режим конфигурирования, реализуется с использованием микропроцессора или конфигурационных микросхем EPC8 и EPC16.

В этом разделе описываются следующие схемы параллельного конфигурирования микросхем APEX II:

- Параллельное конфигурирование с использованием конфигурационной микросхемы.
- Параллельное конфигурирование с использованием микропроцессора.

Параллельное конфигурирование с использованием конфигурационной микросхемы

В этой схеме для параллельной загрузки данных в форме bite-wide в микросхемы APEX II используются конфигурационные микросхемы EPC8 и EPC16. (см. рис. 18).

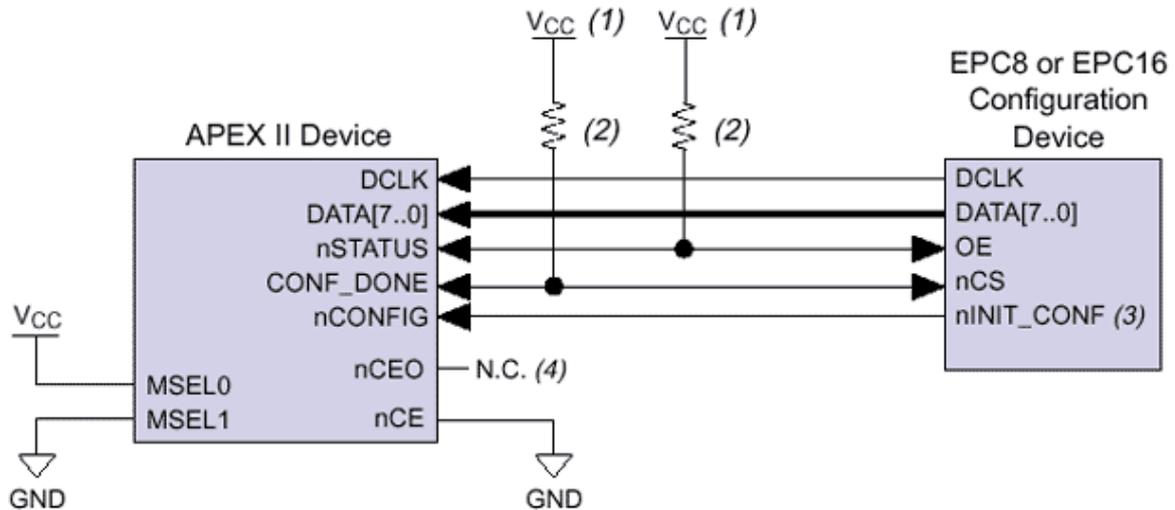


Рис. 18. Схема параллельной конфигурации ПЛИС APEX II с помощью конфигурационных микросхем

Примечания к рисунку 18:

1. Подтягивающие резисторы должны быть подключены к тем же источникам напряжения, что и микросхемы EPC8 и EPC16.
2. Все подтягивающие резисторы имеют номинал 1 кОм. Микросхемы EPC8 и EPC16 на выводах OE, nCS, nINIT_CONF имеют внутренние подстраиваемые пользователем резисторы. Подтягивающий резистор на выводе nINIT_CONF всегда задействован.
3. Если вывод nINIT_CONF не используется, напряжение на выводе nCONFIG должно быть подтянуто до напряжения VCC при помощи резистора 1 кОм или напрямую.
4. Вывод nCEO последней микросхемы в цепочке остается неприсоединенным.

В схеме конфигурирования вывод nCONFIG соединяется с выводом nINIT_CONF. При включении конфигурируемая ПЛИС APEX II инициализирует конфигурирование по положительному перепаду сигнала. Затем конфигурируемая ПЛИС переводит вывод с открытым стоком CONF_DONE в состояние "0", который поступает на вывод nCS конфигурационных микросхем EPC8 и EPC16.

Перед началом конфигурирования подключение вывода PORSEL микросхем EPC8 или EPC16 к напряжению VCC обеспечивает POR-задержку в 2 мс. Подключение PORSEL к общему проводу GND обеспечивает POR-задержку в 100 мс. При установлении напряжения питания микросхем - они сбрасывают состояния выводов nSTATUS или OE. Так как вывод OE микросхем EPC8 или EPC16 соединяется с выводом nSTATUS микросхемы APEX II, конфигурирование останавливается до тех пор, пока оба вывода nSTATUS и OE не вернуться в исходное состояние и сигнал на каждой микросхеме будет, подтянут через резистор. При одновременном конфигурировании нескольких микросхем необходимо соединить их выводы nSTATUS. При этом конфигурация выполняется при освобождении выводов всех микросхемами. Затем микросхемы EPC8 или EPC16 синхронно посылают параллельные данные в микросхему APEX II с использованием внутреннего генератора частотой 66 МГц.

При обнаружении во время конфигурирования ошибки, микросхема APEX II устанавливает "0" на выводе nSTATUS, тем самым, возвращая себя и конфигурирующую микросхему в исходное состояние (состояние до конфигурации). САПР QUARTUS II осуществляет перезапуск конфигурирования автоматически сразу же после обнаружении ошибки.

Включение/выключения этих опций выполняется в следующем порядке:

1. Откройте Compiler Settings (Processing menu);
2. Выберете вкладку Chips & Devices;
3. Нажмите Device & Pin Options;
4. Для включения режима автоматического перезапуска конфигурирования служит кнопка General;
5. Дважды нажмите кнопку OK.

Наличие ошибок при выключенной опции контролируется по состоянию вывода nSTATUS. Для начала конфигурирования на выводе nCONFIG необходимо установить "0".

Для обеспечения реконфигурирования микросхемы APEX II в процессе работы, вывод nCONFIG должен быть соединен с выводом nINIT_CONF (а не привязан к напряжению VCC). В этом случае обеспечивается возможность установки "0" на выводе nCONFIG от внешней системы.

По окончании конфигурирования микросхема APEX II освобождает вывод CONF_DONE, который затем подтягивается при помощи резистора. Это блокирует микросхемы EPC8 и EPC16, поскольку вывод nCS переводится в "1". При завершении инициализации микросхема APEX II переходит в режим, заданный пользователем. До и после конфигурирования микросхемы EPC8 и EPC16 устанавливаются "0" на выводе DCLK.

Отсутствие "1" на выводе CONF_DONE после передачи всех данных означает неудачное конфигурирование микросхемы APEX II. При этом микросхемы EPC8 и EPC16 на несколько микросекунд устанавливают "0" на выводе OE, устанавливая тем самым "0" на выводе nSTATUS микросхемы APEX II. В этом случае, если включена опция "Auto-Restart Configuration on Frame Error", - микросхема APEX II прекращает конфигурирование и устанавливает "0" на выводе nSTATUS. При "1" на выводе nSTATUS начинается реконфигурация. (см. рис. 21).

Задержку инициализации ПЛИС после конфигурирования можно задать в САПР QUARTUS II с помощью опции "Enable user-supplied start-up clock". Эта опция устанавливается в том же окне, что и опция "Auto-Restart Configuration on Frame Error" (Не рекомендуется приостанавливать инициализацию ПЛИС установкой "0" на выводе CONF_DONE) . Диалоговое окно Configuration Options показано на рис. 19. Эта опция может использоваться для инициализации и синхронизации разных микросхем в разных цепочках конфигурирования. Микросхемы, находящиеся в одной конфигурационной цепочке инициализируются одновременно.

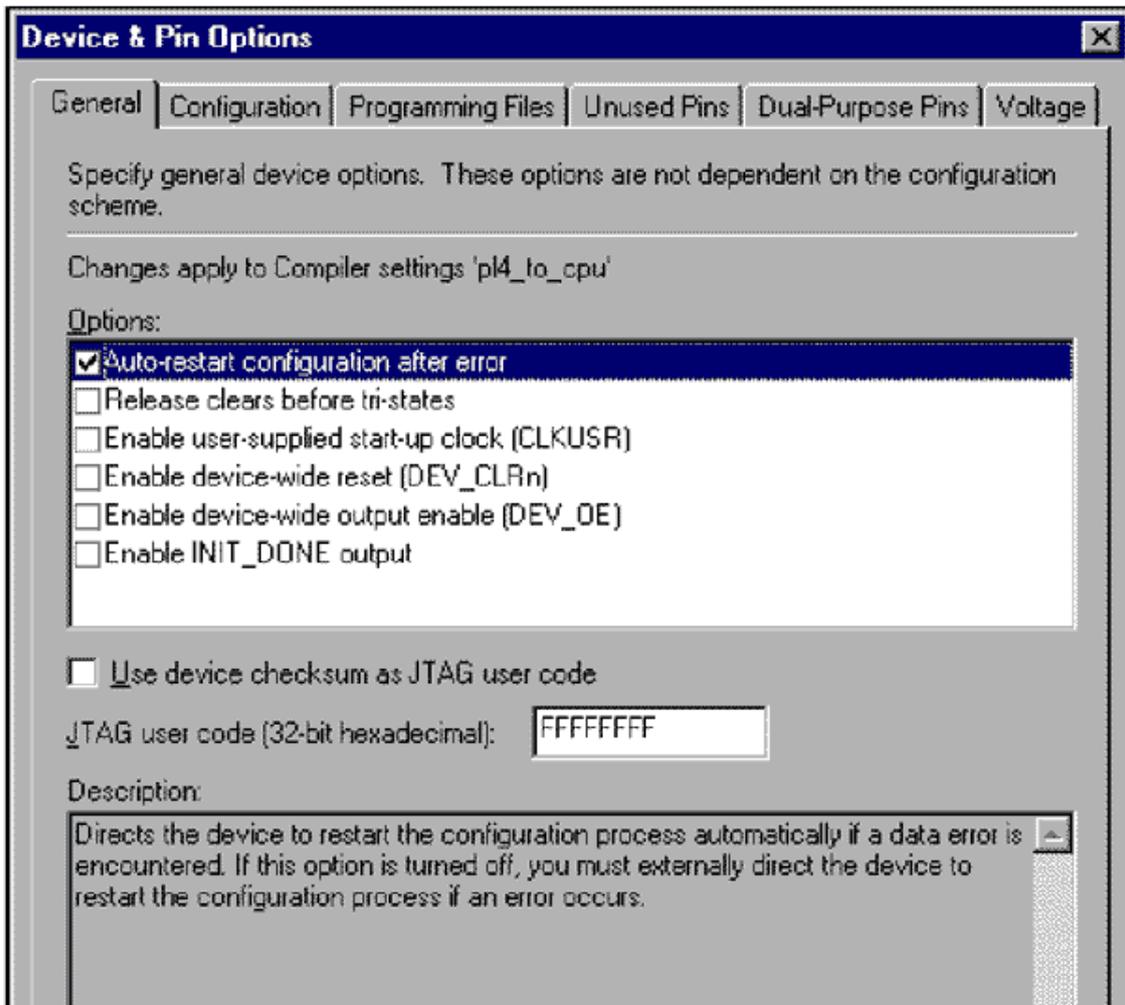


Рис. 19. Диалоговое окно настройки конфигурирования

На рис. 20 приведена схема одновременного конфигурирования нескольких микросхем APEX II с помощью микросхем EPC16 или EPC8. Эта схема похожа на схему рис. 18 (конфигурирование одной микросхемы с помощью конфигурационных микросхем EPC16 или EPC8), за исключением того, что при конфигурировании нескольких микросхем APEX II они соединяются каскадно. Сами конфигурационные микросхемы EPC16 или EPC8 соединяться каскадно не могут.

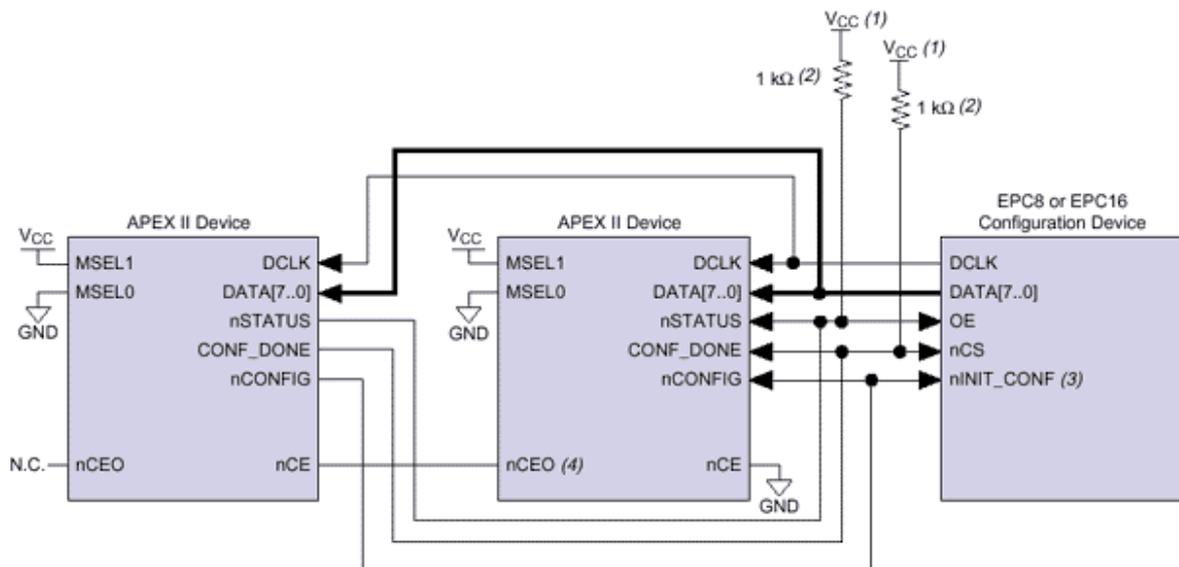


Рис. 20. Схема параллельного конфигурирования нескольких ПЛИС APEX II с использованием конфигурационных микросхем EPC8 или EPC16

Примечания к рисунку 20:

1. подтягивающие резисторы должны быть подсоединены к тем же источникам напряжения, что и конфигурационные микросхемы EPC8 и EPC16.
2. Все подтягивающие резисторы имеют номинал 1 кОм. Микросхемы EPC8 и EPC16 на выводах OE, nCS, nINIT_CONF имеют внутренние подстраиваемые пользователем резисторы. На выводе nINIT_CONF подтягивающий резистор всегда задействован.
3. Если вывод nINIT_CONF не используется, напряжение на выводе nCONFIG непосредственно или с помощью резистора 1 кОм должно быть подтянуто до напряжения VCC.
4. Для последней микросхемы в цепи вывод nCEO оставляется неподключенным.

В режиме конфигурирования нескольких микросхем, после окончания конфигурирования первой микросхемы вывод nCEO активирует вывод nCE второй микросхемы, инициируя начало конфигурирования второй микросхемы. Так как выводы CONF_DONE всех микросхем соединены вместе, все микросхемы одновременно выполняют инициализацию и переход в пользовательский режим.

Кроме того, все выводы nSTATUS также соединены вместе. При обнаружении любой из микросхем (включая конфигурирующую EPC16 или EPC8) ошибки, процесс конфигурирования будет прерван для всей цепочки.

Если к концу конфигурирования не будет "1" на выводе CONF_DONE первой конфигурируемой микросхемы, она выдает на выводе OE сигнал "0" на несколько микросекунд и вся цепь возвращается в исходное состояние. Этот импульс указывает на ошибку и передается на вывод OE второй микросхемы и на выводы nSTATUS всех микросхем.

Отсутствие "1" на выводе CONF_DONE после передачи всех данных означает неудачное конфигурирование микросхемы APEX II. При этом микросхемы EPC8 и EPC16 на несколько микросекунд устанавливают "0" на выводе OE, устанавливая тем самым "0" на выводе nSTATUS микросхемы APEX II.

При установленной опции "Auto-Restart Configuration on Frame Error", после интервала ожидания выводы nSTATUS микросхем APEX II освобождаются. После установки "1" на выводах nSTATUS конфигурационная микросхема выполняет реконфигурацию цепочки. Если опция "Auto-Restart Configuration on Frame Error" не установлена, микросхемы APEX II устанавливают вывод nSTATUS в состояние "0" и сохраняют его до тех пор, пока не будут возвращены в исходное состояние импульсом "0" на выводе nCONFIG.

Временные диаграммы конфигурирования микросхем APEX II приведены на рис. 21.

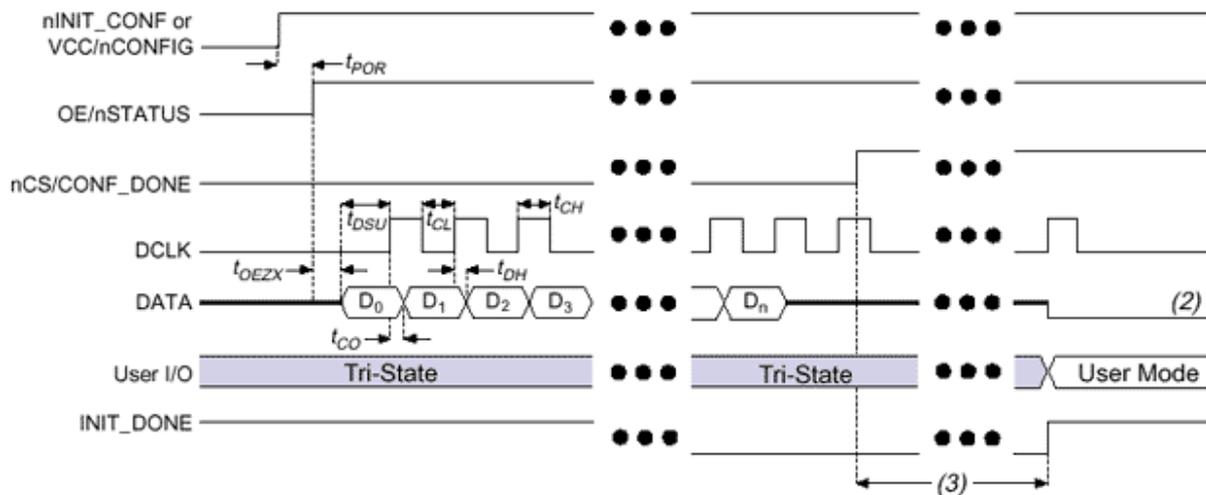


Рис. 21. Временные диаграммы конфигурирования ПЛИС APEX II

Примечания к рисунку 21:

1. Временные диаграммы см. также в документах фирмы Altera: "Devices for APEX & FLEX Devices Data Sheet" или "EPC16 Configuration Device Data Sheet".
2. После конфигурирования вывод DATA конфигурационной микросхемы переходит в состояние "0".
3. Микросхемы APEX II переходят в пользовательский режим спустя 40 синхроимпульсов после установления "1" на выводе CONF_DONE.

Параллельное конфигурирование с помощью микропроцессора

В режиме параллельного конфигурирования с использованием микропроцессора (Parallel Configuration with a Microprocessor) данные загружаются, процессор загружает данные с устройства хранения в ПЛИС APEX II с помощью конфигурирующей аппаратуры.

Для инициализации конфигурирования по этой схеме, микропроцессор должен создать положительный перепад на выводе nCONFIG и конфигурируемая микросхема должна освободить вывод nSTATUS. Затем микропроцессор побитно передает конфигурационные данные на вывод DATA конфигурируемой микросхемы APEX II. Младший бит (LSB - Least Significant Beat) данных должен передаваться первым. Данные синхронно (по тактовому сигналу) поступают в конфигурируемую микросхему до момента перехода вывода CONF_DONE в состояние "1".

После передачи всех данных до начала инициализации ПЛИС вывод DCLK должен тактироваться еще 40 тактов.

Переход вывода CONF_DONE в "1" показывает успешное конфигурирование и начало инициализации. Конфигурирующие файлы созданные программным обеспечением QUARTUS II или MAX+PLUS II обеспечивают установку при инициализации дополнительных битов. После конфигурирования воздействие на вывод DCLK не нарушает работу микросхемы. Поэтому для конфигурирования и инициализации микросхемы достаточно загрузить конфигурационный файл.

Прекратив тактирование DCLK можно приостановить конфигурирование на неопределенное время.

Период сигнала DCLK не ограничен, однако для гарантии успешного конфигурирования его тактовая частота должна быть ниже 66 МГц.

При обнаружении конфигурируемой микросхемой ошибки во время конфигурирования, она устанавливает "0" на выводе nSTATUS для предупреждения микропроцессора. Микропроцессор затем устанавливает "0" на выводе nCONFIG для повторного запуска процесса конфигурирования. При включенной в САПР QUARTUS II опции "Auto-Restart Configuration on Frame Error", конфигурируемая микросхема освобождает вывод nSTATUS по окончании периода ожидания. После освобождения nSTATUS, микропроцессор может реконфигурировать микросхему без перехода вывода nCONFIG в состояние "0".

Для гарантии успешного конфигурирования микропроцессор может контролировать выходы CONF_DONE и INIT_DONE. Если после отправки микропроцессором всех конфигурирующих данных и начала инициализации на выходах CONF_DONE & INIT_DONE не устанавливается "1" - он должен выполнить реконфигурацию ПЛИС.

Схема параллельного конфигурирования с использованием микропроцессора приведена на рис. 22.

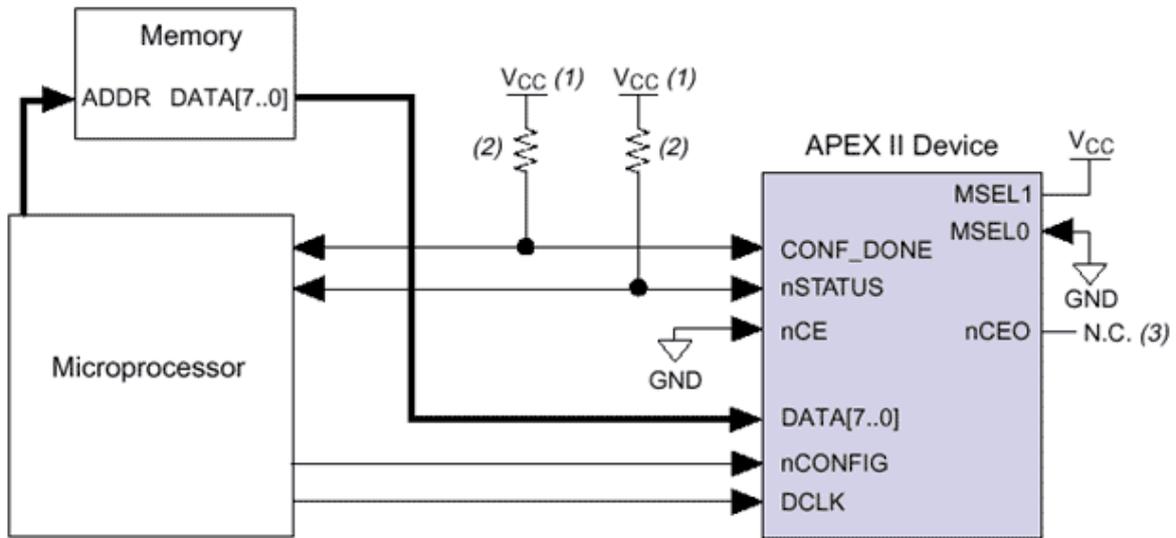


Рис. 22. Схема параллельного конфигурирования с помощью микропроцессора

Примечания к Рисунку 22:

1. Любой вывод микросхемы APEX II, на котором присутствует "1" должен быть подтянут к напряжению VCC с помощью нагрузочного резистора.
2. Все подтягивающие резисторы имеют номиналы 1 кОм.
3. Вывод nCEO оставляется неподключенным.

Для параллельного конфигурирования нескольких микросхем с помощью микропроцессора, вывод nCEO первой микросхемы APEX II соединяется каскадно с выводом nCE второй микросхемы. Вторая микросхема в цепочке начинает процесс конфигурирования во время того же тактового периода. Поэтому, обеспечивается сквозная передача данных микропроцессора. Поскольку выходы CONF_DONE микросхем соединены вместе, все микросхемы инициализируются и переходят в пользовательский режим одновременно.

Выводы nSTATUS также соединены вместе. Таким образом, при обнаружении любой из микросхем ошибки она останавливает конфигурирование всей цепи и на выводе nSTATUS устанавливается "0". Установив "0" на выводе nCONFIG микропроцессор может перезапустить процесс конфигурирования.

Если в САПР QUARTUS II или MAX+PLUS II включена опция "Auto-Restart Configuration on Frame Error" - конфигурируемая микросхема освобождает вывод nSTATUS по окончании периода ожидания (на несколько микросекунд). После освобождения вывода nSTATUS, микропроцессор может реконфигурировать микросхему.

Схема одновременного конфигурирования нескольких микросхем APEX II с помощью микропроцессора приведена на рис. 23. На рис. 24 приведена схема конфигурирования двух микросхем APEX II едиными данными с помощью микропроцессора.

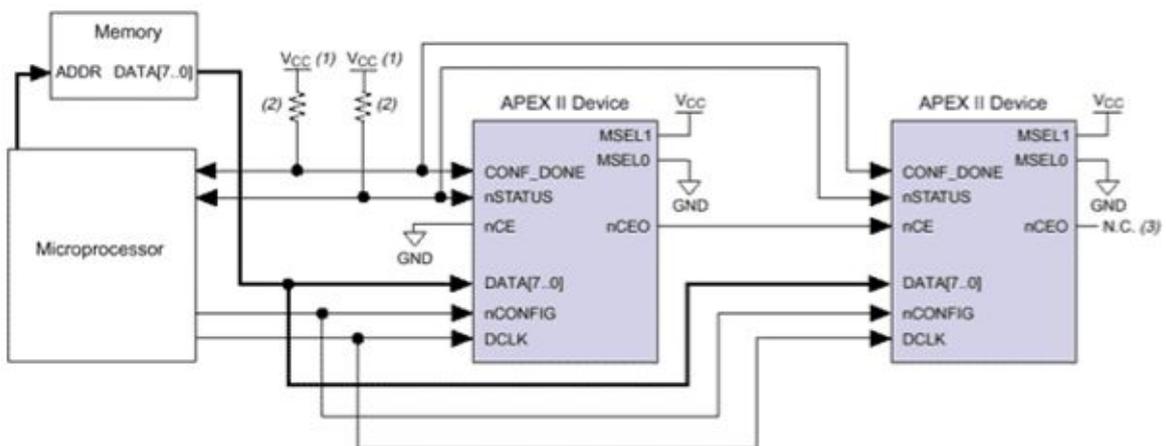


Рис. 23. Схема конфигурирования нескольких микросхем APEX II с параллельной загрузкой данных с помощью микропроцессора

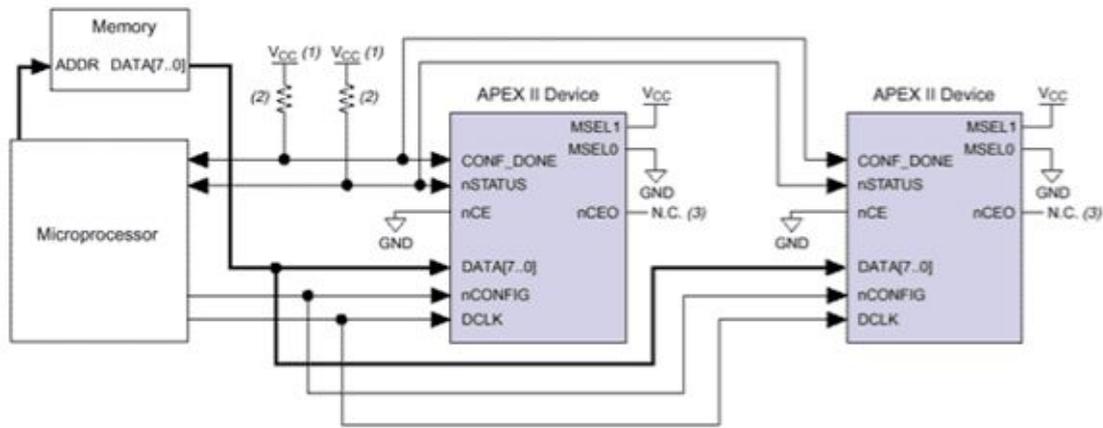


Рис. 24. Схема конфигурирования двух микросхем APEX II едиными данными с помощью микропроцессора

Примечания к рисунку 23:

1. Любой вывод микросхемы APEX II, на котором присутствует "1" должен быть подтянут к напряжению VCC с помощью нагрузочного резистора.
2. Все подтягивающие резисторы имеют номиналы 1 кОм.
3. Вывод nCEO оставляется неподключенным.

Примечания к рисунку 24:

1. Любой вывод микросхемы APEX II, на котором присутствует "1" должен быть подтянут к напряжению VCC с помощью нагрузочного резистора.
2. Все подтягивающие резисторы имеют номиналы 1 кОм.
3. При конфигурировании нескольких микросхем едиными данными вывод nCEO оставляется неподключенным.

На рис. 25 показаны временные диаграммы PPS-конфигурирования микросхем APEX II. Временные параметры PPS-конфигурирования микросхем APEX II приведены в таблице 17.

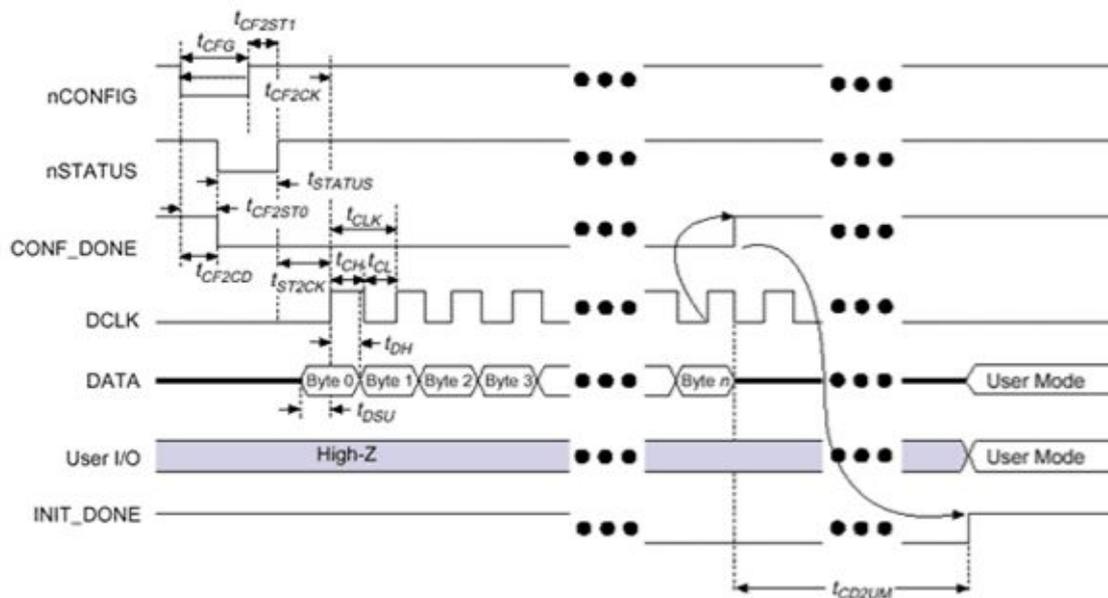


Рис. 25. Временные диаграммы PPS-конфигурирования микросхем APEX II

Таблица 17. Временные PPS-параметры для ПЛИС APEX II

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2CK}	От установления "0" на nCONFIG до первого фронта DCLK	40		нс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс

t_{CH2B}	От первого фронта DCLK до первого фронта RDYnBSY (2)	0.75		мкс
t_{CFG}	Длительность импульса "0" на выводе nCONFIG (3)	8		мкс
t_{CH}	Максимальное время DCLK	30		нс
t_{CL}	Минимальное время DCLK	30		нс
t_{CLK}	Период DCLK	60		нс
f_{MAX}	Максимальная частота DCLK		16.7	МГц
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (4)	2	8	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nCONFIG до установления "0" на nSTATUS		1 (4)	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	10	40	мкс
t_{ST2CK}	От установления "1" на nSTATUS до первого фронта DCLK	1		мкс

Примечания к таблице 17:

1. Предварительная информация.
2. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметра составляет 40 периодов синхросигнала.
3. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметров составляет 40 периодов синхросигнала.
4. Без учета возможной приостановки конфигурирования пользователем, задержкой импульса "0" на выводе nSTATUS.

3.3.3. PSA-конфигурирование (только микросхемы FLEX 6000)

При пассивной последовательной асинхронной схеме конфигурирования (Passive Serial Asynchronous) данные в микросхему FLEX 6000 загружаются микропроцессором. Вывод DCLK подтягивается к "1" с помощью резистора 1 кОм для предотвращения неопределенных состояний конфигурационных выводов.

Для начала конфигурирования, микропроцессор устанавливает "1" на выводе nCONFIG и затем подтягивает к "1" вывод CS, одновременно устанавливая "0" на выводе nCS микросхемы FLEX 6000. Микропроцессор отправляет конфигурирующий бит на ввод DATA микросхемы FLEX 6000 и устанавливает "0" на выводе nWS для записи данных в микросхему. Бит конфигурационных данных защелкивается по следующему фронту импульса на выводе nWS. Затем микросхема FLEX 6000 обрабатывает конфигурирующие данные, выдавая при этом сигнал "0" на выводе RDYnBSY. Во время обработки данных микросхемой микропроцессор может выполнять другие системные функции.

Затем микропроцессор проверяет выходы nSTATUS и CONF_DONE. Наличие "0" на выводе nSTATUS, говорит об обнаружении ошибки. В этом случае процессор должен перезапустить конфигурирование.

Если после передачи всех конфигурирующих данных на выводе nSTATUS устанавливается "0", значит, микросхема FLEX 6000 готова к началу инициализации. В начале инициализации, на выводе CONF_DONE устанавливается "1", чтобы показать завершение конфигурации. Если оба вывода nSTATUS и CONF_DONE нет "0" - процессор отправляет следующий бит данных.

Для обеспечения успешного конфигурирования микропроцессор может проверять логические состояния выводов INIT_DONE и CONF_DONE. Если процессор отправляет все конфигурационные данные и начинает инициализацию, но вывод CONF_DONE находится не в состоянии "1", процессор должен реконфигурировать микросхему FLEX 6000.

Программное обеспечение MAX+PLUS II- или QUARTUS II-создают программирующие файлы, включая дополнительные биты, необходимые для инициализации микросхемы при PSA-конфигурировании. Однако при PSA-конфигурировании микросхема может выполнять самоинициализацию, поэтому микросхема FLEX 6000 устанавливает "1" на выводе CONF_DONE и выполняет самоинициализацию до передачи всех конфигурационных данных. Микропроцессор может остановить передачу конфигурационных данных, установив "1" на выводе CONF_DONE.

При PSA-конфигурировании выходы nCS или CS микросхемы FLEX 6000 могут переключаться если в проекте заданы требования для t_{CSSU}, t_{WSP}, и t_{CSH} (см. таблицу 18).

Схема PSA-конфигурирования микросхем FLEX 6000 приведена на рис. 26.

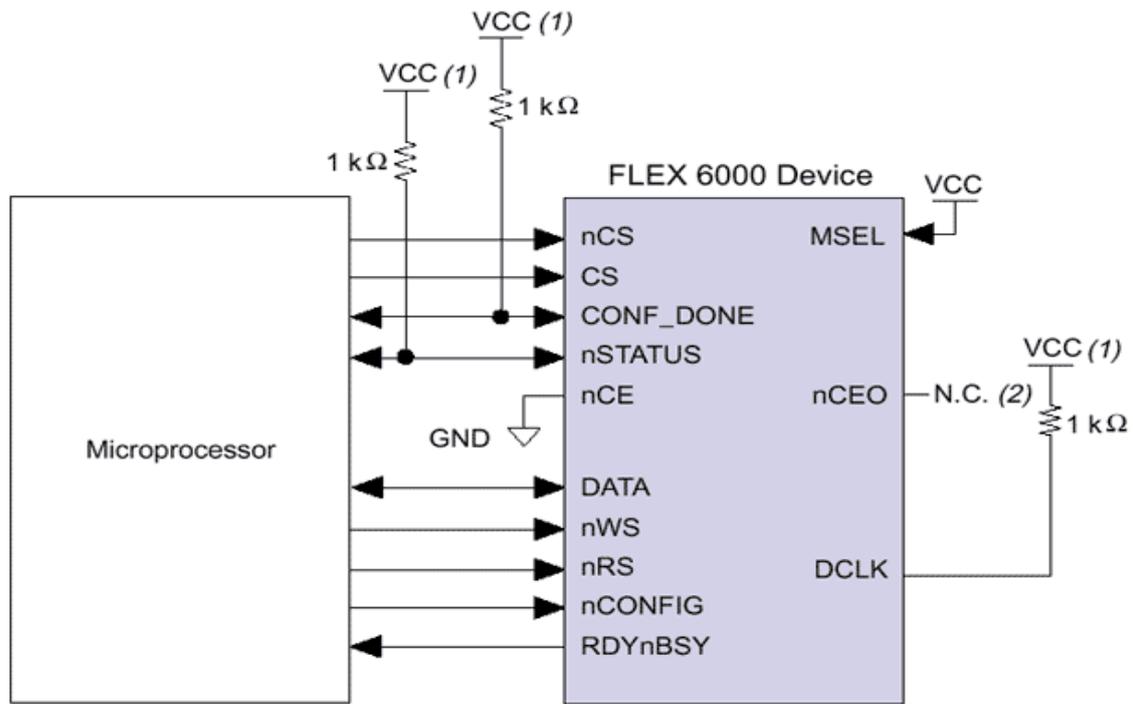


Рис. 26. Схема PSA-конфигурирования микросхем FLEX 6000

Примечания к рисунку 26:

1. Подтягивающий резистор должен быть подключен к тому же источнику напряжения, что и микросхема FLEX 6000.
2. Вывод nCEO оставляется неподключенным.

Выводы nCS и CS могут управляться дополнительным дешифратором адреса. Этот дешифратор позволяет микропроцессору выбирать микросхему FLEX 6000 по локальным адресам, упрощающим процесс конфигурирования. Микропроцессор может также непосредственно контролировать сигналы nCS и CS. Вы можете привязать один из сигналов nCS и CS к его же активным состоянием (например сигнал с вывода nCS может быть связан с низким уровнем), а другой сигнал используется для контроля конфигурирования.

Микросхема FLEX 6000 может обрабатывать данные без помощи микропроцессора. Когда микросхема готова принять следующий бит конфигурационных данных, она устанавливает "1" на выводе RDYnBSY, вынуждая тем самым микропроцессор, выделять следующий бит конфигурационных данных для микросхемы FLEX 6000. В другом варианте, сигнал на выводе nRS может выбираться "0", выдавая сигнал RDYnBSY для появления на выводе DATA. Для упрощения конфигурирования микропроцессор может некоторое время до отправки следующего бита данных находиться в режиме ожидания на интервале времени $t_{BUSY(Max)} + t_{RDY2WS} + t_{W2SB}$.

Поскольку сигнал RDYnBSY не надо контролировать, использование nRS для контроля состояния конфигурационных данных экономит один системный I/O-вывод. Пока вывод nRS находится в состоянии "0", данные на вывод DATA не должны отправляться, потому что это может вызвать конфликт системы. Если вывод nRS не используется для контроля конфигурирования, то на нем устанавливается "1".

После конфигурирования выводы nCS, CS, nRS, nWS, и RDYnBSY используются как пользовательские I/O-выводы. Однако, при использовании PSA-схемы эти выводы по умолчанию являются трехстабильными в режиме заданным пользователем и должны управляться микропроцессором. PSA-схема может быть изменена в САПР MAX+PLUS II в опции "Global Project Device Option".

При обнаружении во время конфигурирования ошибки микросхема FLEX 6000 устанавливает "0" на выводе nSTATUS для предупреждения микропроцессора. Затем микропроцессор устанавливает "0" на выводе nCONFIG для реконфигурирования микросхемы. Также, если установлена опция Auto-Restart Configuration on Frame Error, микросхема FLEX 6000 освобождает вывод nSTATUS после окончания периода ожидания. При освобождении вывода nSTATUS, процессор может реконфигурировать микросхему FLEX 6000. Поэтому для процессора не требуется установка "0" на выводе nCONFIG.

Режим PSA может быть также использован для конфигурирования одновременно нескольких микросхем FLEX 6000. Конфигурирование нескольких микросхем, аналогично PSA-конфигурированию одной микросхемы, за исключением каскадного соединения микросхем FLEX 6000. После конфигурирования первой микросхемы FLEX 6000 на ее выводе nCEO "0" устанавливается "0" и передается на вывод nCE второй микросхемы, инициализируя тем самым начало ее конфигурирования. Вторая микросхема начинает процесс конфигурирования во время загрузки конфигурационных данных в первую микросхему FLEX 6000, поэтому обеспечивается сквозная передача данных микропроцессора. Все выводы CONF_DONE микросхемы FLEX 6000 соединены вместе, так что все микросхемы инициализируются и переходят в пользовательский режим одновременно. При конфигурировании одновременно

более пяти микросхем, следует использовать буфер для обеспечения нужного коэффициента разветвления сигнала nWS (см. рис. 27).

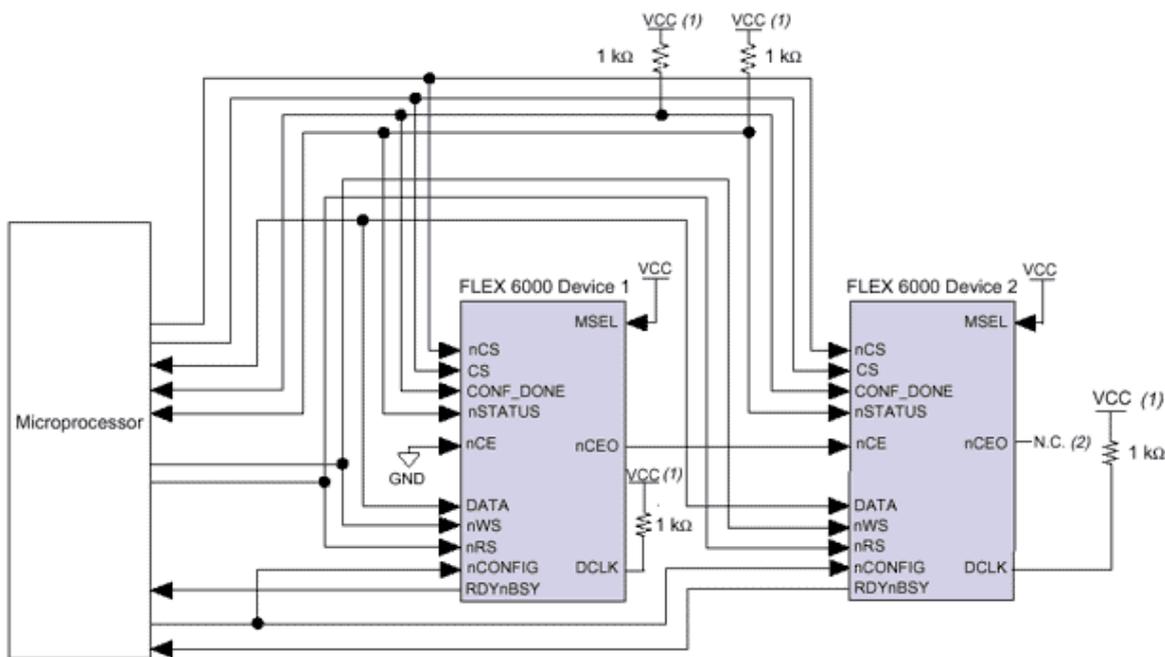


Рис. 27. Схема PSA-конфигурирования микросхем FLEX 6000

Примечания к рисунку 27:

1. Подтягивающий резистор должен быть подключен к тому же источнику напряжения, что и микросхема FLEX 6000.
2. Для последней микросхемы в цепи вывод nCEO оставляется неподключенным.

Временные диаграммы PSA-конфигурирования микросхем FLEX 6000 приведены на рис. 28.

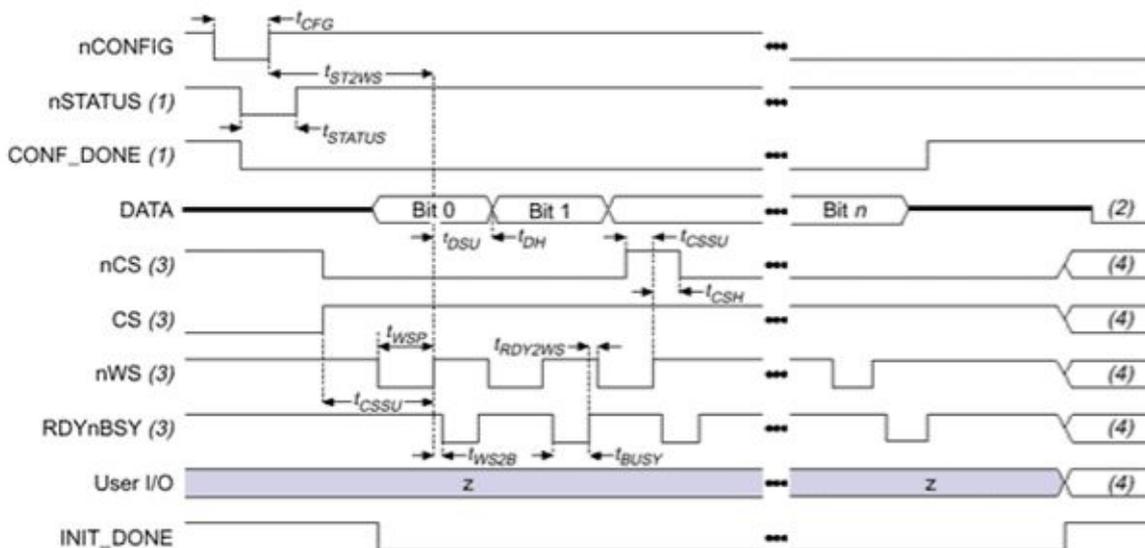


Рис. 28. Временные диаграммы PSA-конфигурирования микросхем FLEX 6000

Примечания к рисунку 28

1. При включении питания до установления номинального напряжения VCC, вывод nSTATUS удерживается в "0" на время не более 5 мкс.
2. Вывод DATA не должен оставаться неподключенным. На нем необходимо обеспечить уровни "0" либо "1".
3. После конфигурирования уровни выводов CS, nCS, nWS, и RDYnBSY зависит от проекта.
4. I/O-выводы находятся в пользовательском режиме.

Временные диаграммы конфигурирования микросхем FLEX 6000 с использованием сигналов выбора nRS и nWS приведены на рис 29.

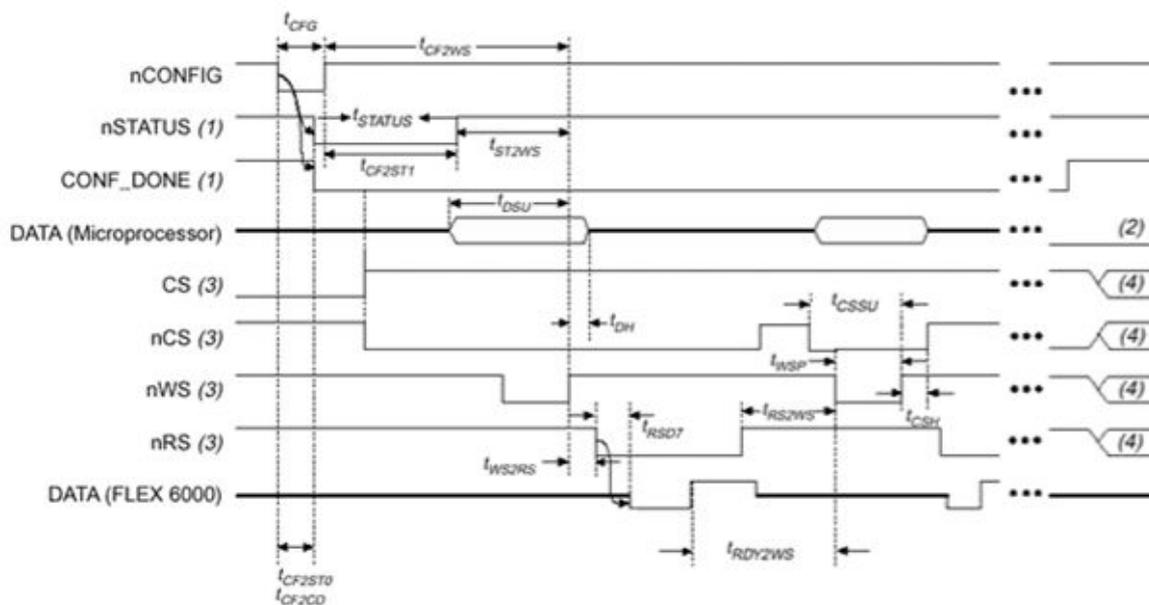


Рис. 29. Временные диаграммы конфигурирования FLEX 6000 с использованием сигналов nRS и nWS

Примечания к рисунку 29:

1. При включении питания до установления номинального напряжения VCC, вывод nSTATUS удерживается в "0" на время не более 5 мкс.
2. Вывод DATA не должен оставаться неподключенным. На нем необходимо обеспечить уровни "0" либо "1".
3. После конфигурирования уровни выводов CS, nCS, nWS, и RDYnBSY зависит от проекта.
4. I/O-выводы находятся в пользовательском режиме.

Сводные данные по временным параметрам PSA-конфигурирования приведены в таблице 18.

Таблица 18. Временные PSA-параметры для ПЛИС FLEX 6000

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CFG}	Длительность импульса "0" на выводе nCONFIG (1)	2		мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	2, 5		мкс
t_{CF2ST1}	От установления "1" на nCONFIG до установления "0" на nSTATUS		4	мкс
t_{ST2WS}	nSTATUS high to first rising edge on nWS	1		мкс
t_{CF2WS}	nCONFIG high to first rising edge on nWS	5		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	20		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CSSU}	Время установки сигнала Chip select перед фронтом сигнала nWS	20		нс
t_{CSH}	Время удержания сигнала Chip select перед фронтом сигнала nWS	5		нс
t_{WSP}	Длительность импульса "0" на выводе nWS	50		нс
t_{WS2B}	От фронта nWS до перехода RDYnBSY в "0"		50	нс
t_{BUSY}	Длительность импульса "0" на выводе RDYnBSY		200	нс
t_{RDY2WS}	От фронта RDYnBSY до спада nWS	50		нс
t_{WS2RS}	От фронта nWS до спада nRS	200		нс
t_{RS2WS}	От фронта nRS до спада nWS	200		нс
t_{RSD7}	От спада nRS до допустимой длительности сигнала DATA7		50	нс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		1	мкс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		1	мкс

Примечания к таблице 18:

1. Только при синхронизации встроенным генератором. При синхронизации CLKUSR или DCLK значение параметра составляет 10 периодов синхросигнала.
2. Создание конфигурационных и программирующих файлов рассматривается в разделе "Device Configuration Files" (конфигурационные файлы микросхем).

3.4. PPA-конфигурирование

Пассивная параллельная асинхронная схема (PPA-Passive Parallel Asynchronous) применяется только для конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K и FLEX 10K.

В режиме PPA-конфигурирования микропроцессор направляет данные в микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K с помощью загрузочного кабеля. В схеме PPA-конфигурирования для устранения неопределенных состояний, не использующихся выводов необходимо обеспечить высокий уровень на выводе DCLK с помощью нагрузочного резистора 1 кОм.

Для начала конфигурирования микропроцессор должен установить сначала "1" на выводе nCONFIG, а затем "1" на выводах nCS и CS конфигурируемой микросхемы. Затем микропроцессор передает 8-битовое конфигурационное слово на входы данных конфигурируемой микросхемы и устанавливает "0" на выводе nWS. По фронту на выводе nWS, конфигурируемая микросхема защелкивает байт конфигурационных данных. Затем микросхема FLEX 6000 обрабатывает конфигурирующие данные, выдавая при этом сигнал "0" на выводе RDYnBSY. Во время обработки данных микросхемой микропроцессор может выполнять другие системные функции.

Дальше, микропроцессор проверяет состояние выводов nSTATUS и CONF_DONE. Если на выводе nSTATUS не "0" и вывод CONF_DONE не освобожден и подтянут к "1", - микропроцессор отправляет следующий байт данных. Если на выводе nSTATUS "0", микросхема сигнализирует о наличии ошибки и микропроцессор перезапускает процесс конфигурирования.

Если после передачи всех конфигурирующих данных на выводе nSTATUS устанавливается "0", значит, микросхема готова к началу инициализации. В начале инициализации, на выводе CONF_DONE устанавливается "1", чтобы показать завершение конфигурации.

Схема PPA-конфигурирования приведена на рис. 30. Выводы nCS и CS могут управляться дополнительным дешифратором адреса.. Этот дешифратор позволяет микропроцессору выбирать микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K по локальным адресам, облегчая процесс конфигурирования.

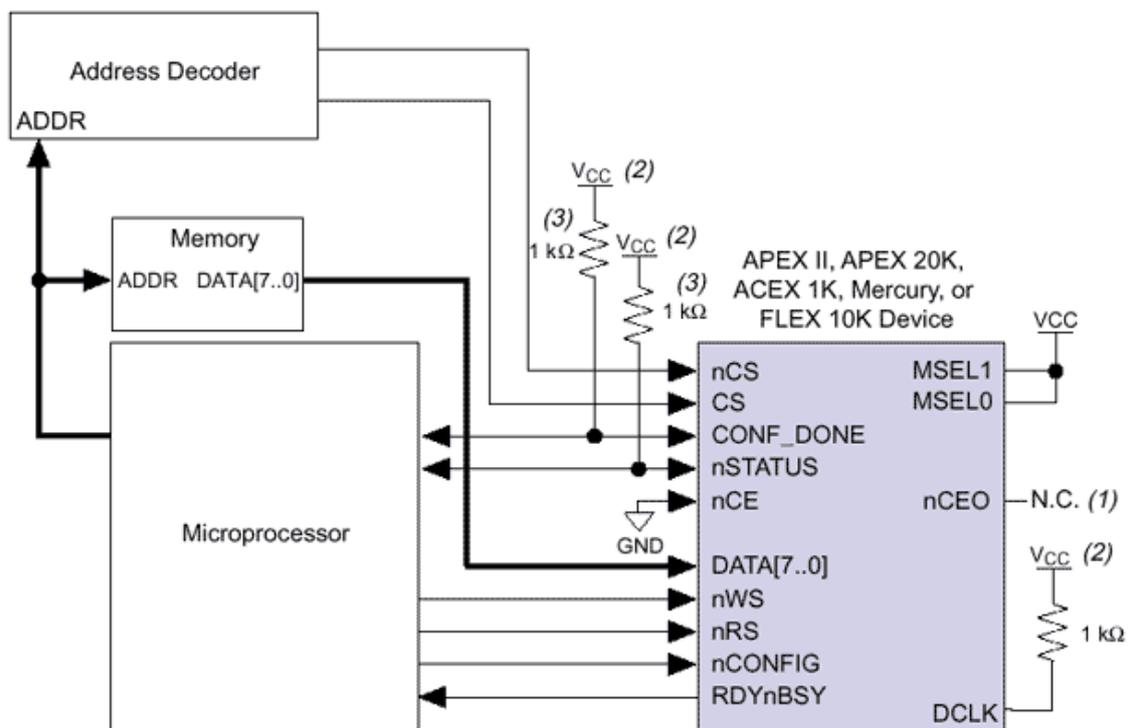


Рис. 30. Схема PPA-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K

Примечания к рисунку 30:

1. Вывод nCEO оставляется неподключенным.
2. Подтягивающий резистор должен быть подсоединен к тому же источнику напряжения, что и микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K.
3. Для микросхем APEX 20KE и APEX 20KC подтягивающий резистор должен иметь номинал 10 кОм.

При PSA-конфигурировании выводы nCS или CS микросхемы FLEX 6000 могут переключаться, если в проекте заданы требования для tCSSU, tWSP, и tCSH (см. таблицы 19 и 21).

Микропроцессор может также непосредственно контролировать сигналы nCS и CS. Вы можете привязать один из сигналов nCS и CS к его же активным состоянием (например, сигнал с вывода nCS может быть связан с низким уровнем), а другой сигнал используется для контроля конфигурирования.

Микросхемы APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K могут передавать данные последовательно без использования микропроцессора. Когда микросхемы APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K готовы принять следующий байт конфигурационных данных они устанавливают "1" на выводе RDYnBSY. Когда на процессор поступает сигнал "1" при опросе RDYnBSY, микропроцессор отправляет в микросхему следующий байт конфигурационных данных. В другом варианте, сигнал на выводе nRS может выбираться "0", выдавая сигнал RDYnBSY для появления на выводе DATA.

Поскольку сигнал RDYnBSY не надо контролировать, использование nRS для контроля состояния конфигурационных данных экономит один системный I/O-вывод. Пока вывод nRS находится в состоянии "0", данные на вывод DATA не должны отправляться, потому что это может вызвать конфликт системы. Если вывод nRS не используется для контроля конфигурирования, то на нем устанавливается "1". Для упрощения конфигурирования микропроцессор может некоторое время до отправки следующего бита данных находиться в режиме ожидания на интервале времени $t_{BUSY(MAX)} + t_{RDY2WS} + t_{W2SB}$.

После конфигурирования выводы nCS, CS, nRS, nWS, и RDYnBSY используются как пользовательские I/O-выводы. Однако при использовании PSA-схемы эти выводы по умолчанию являются трехстабильными в режиме заданным пользователем и должны управляться микропроцессором. PSA-схема может быть изменена в САПР MAX+PLUS II в опции "Global Project Device Option" или аналогичное окно "Device & Pin Option" в САПР QUARTUS II.

При обнаружении во время конфигурирования ошибки микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K устанавливают "0" на выводе nSTATUS для предупреждения микропроцессора. Затем микропроцессор устанавливает "0" на выводе nCONFIG для реконфигурирования микросхемы. Аналогично если установлена опция Auto-Restart Configuration on Frame Error, ПЛИС освобождает вывод nSTATUS после окончания периода ожидания. При освобождении вывода nSTATUS, процессор может выполнить реконфигурирование ПЛИС. Поэтому для процессора не требуется установка "0" на выводе nCONFIG.

Для гарантии успешной конфигурирования микропроцессор также может контролировать выводы CONF_DONE и INIT_DONE. Вывод CONF_DONE должен контролироваться микропроцессором для обнаружения ошибок и определения завершения процесса программирования. Если после отправки всех конфигурационных данных и начала процессором инициализации, на вывод CONF_DONE не в должном состоянии - процессор должен реконфигурировать микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K.

Режим PPA может также использоваться для одновременного конфигурирования нескольких микросхем APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K. Процесс PPA-конфигурирования нескольких микросхем аналогичен PPA-конфигурированию одной микросхемы за исключением каскадного соединения микросхем APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K. После конфигурирования первой из микросхем APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K, устанавливается состояние вывода nCEO, который также устанавливает вывод nCE второй микросхемы, иницируя начало конфигурирования. Вторая микросхема начинает конфигурирование одновременно с вводом данных в первую микросхему, поэтому обеспечивается сквозная передача данных микропроцессора.. Все выводы CONF_DONE микросхем APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K соединены вместе, поэтому инициализация и переход в пользовательский режим происходит одновременно (см. рис. 31).

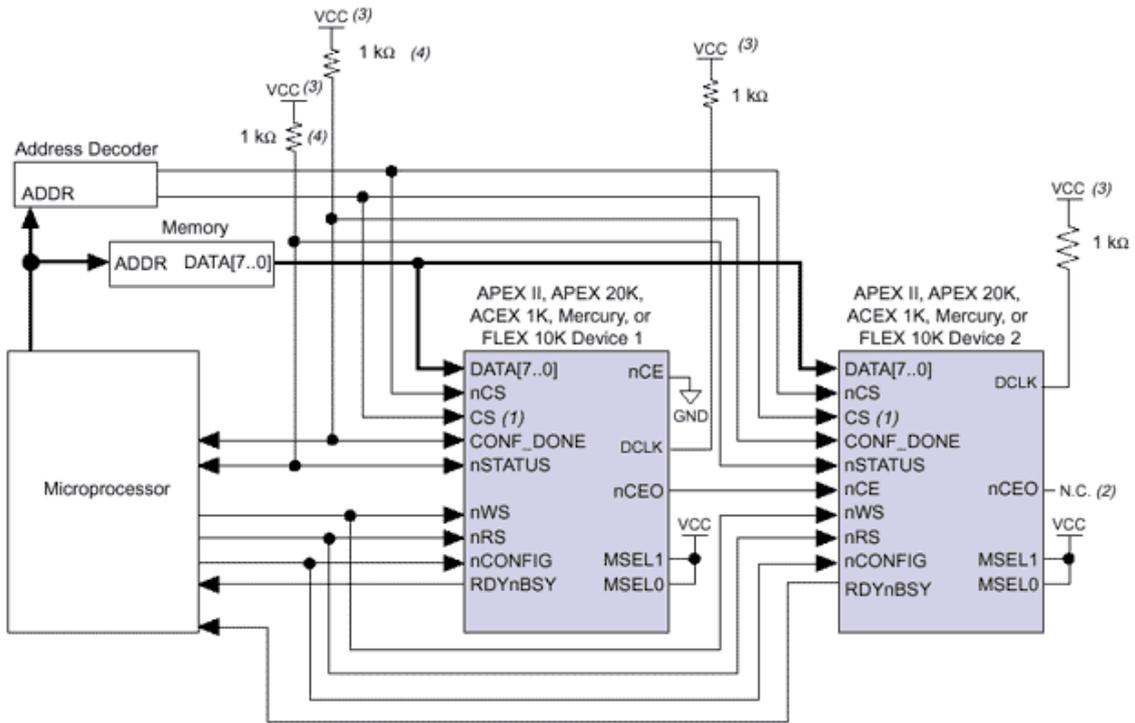


Рис. 31. Схема PRA-конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K

Примечания к рисунку 31:

1. Если вывод CS не используется, то он должен быть напрямую подключен к напряжению VCC.
2. Для последней микросхемы в цепочке вывод nCEO остается неподключенным.
3. Подтягивающий резистор должен быть присоединен к тому же источнику напряжения, что микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K.
4. Для микросхем APEX 20KE и APEX 20KC подтягивающий резистор должен иметь номинал 10 кОм.

Временные диаграммы PRA-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K приведены на рис. 32.

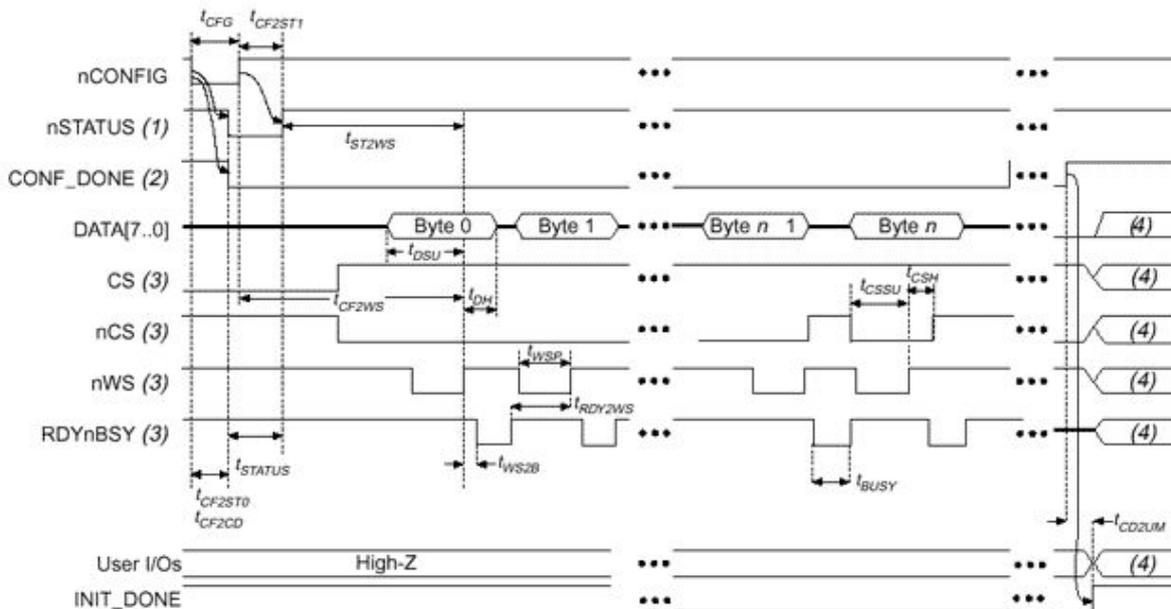


Рис. 32. Временные диаграммы PRA-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K

Примечания к рисунку 32:

1. При включении питания до установления номинального напряжения VCC, вывод nSTATUS удерживается в "0" на время не более 5 мкс.
2. Вывод DATA не должен оставаться неподключенным. На нем необходимо обеспечить уровни "0" либо "1".
3. После конфигурирования уровни выводов CS, nCS, nWS, и RDYnBSY зависят от проекта.
4. I/O-выводы находятся в пользовательском режиме.

Временные диаграммы PPA-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K с использованием сигналов nRS и nWS приведены на рис. 33.

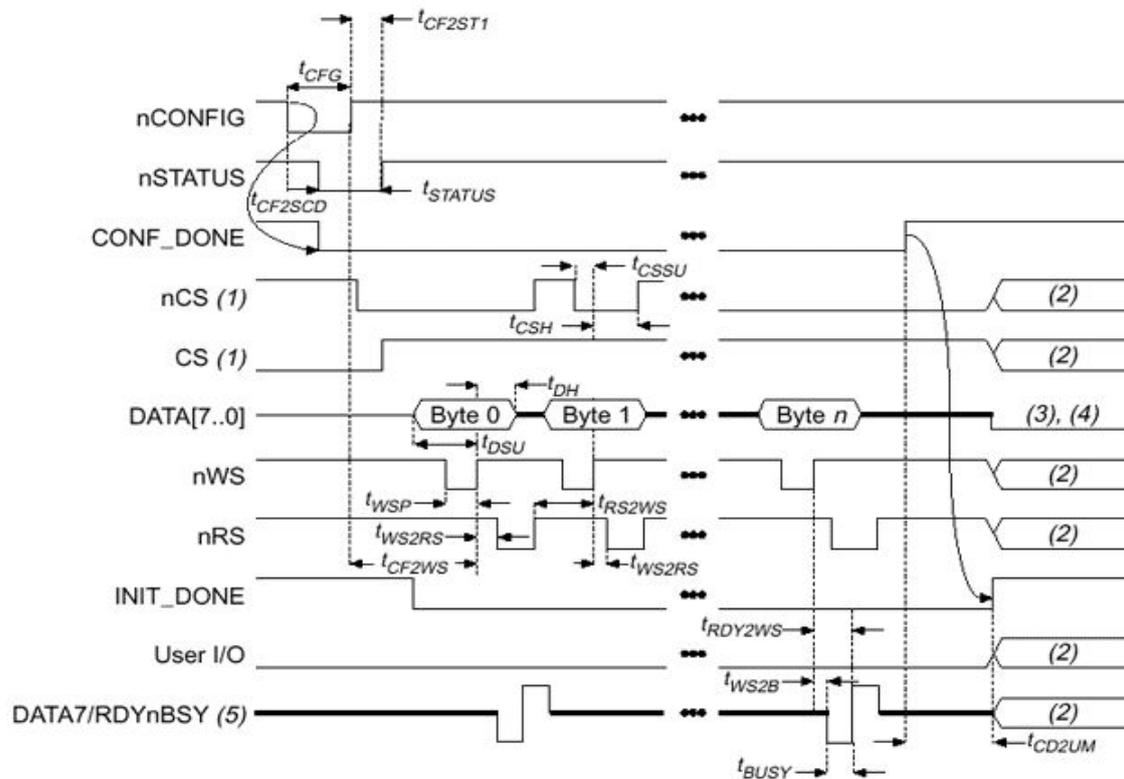


Рис. 33. Временные диаграммы PPA-конфигурирования с использованием сигналов nRS и nWS

Примечания к рисунку 33:

1. Пользователь может переключать выходы nCS или CS во время конфигурирования.
2. I/O-выводы находятся в пользовательском режиме.
3. Вывод DATA не должен оставаться неподключенным. На нем необходимо обеспечить уровни "0" либо "1".
4. В пользовательском режиме только выходы DATA[7..1] могут быть I/O-выводами. Вывод DATA0 - может быть только входным.
5. Вывод DATA7 - реверсивный. Он является входом для поступающих данных, но в то же время выходом состояния RDYnBSY.

Таблицы с 19 по 22 определяют временные параметры для микросхем APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K для PPA конфигурирования.

Таблица 19. Временные PPA-параметры для ПЛИС APEX II и APEX 20K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2WS}	От установки nCONFIG в "1" до первого фронта на nWS	40		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CSSU}	Время установки сигнала Chip select перед фронтом сигнала nWS	10		нс
t_{CSH}	Время удержания сигнала Chip select перед фронтом сигнала nWS	0		нс
t_{WSP}	Длительность импульса "0" на выводе nWS	200		нс
t_{WS2B}	От фронта nWS до перехода RDYnBSY в "0"	8		нс
t_{CSSU}	Время установки сигнала Chip select перед фронтом сигнала nWS		50	нс
t_{BUSY}	Длительность импульса "0" на выводе RDYnBSY	0.4	1.6	нс
t_{RDY2WS}	От фронта RDYnBSY до спада nWS	50		нс
t_{WS2RS}	От фронта nWS до спада nRS	200		нс
t_{RS2WS}	От фронта nRS до спада nWS	200		нс

t_{RSD7}	От спада nRS до допустимой длительности сигнала DATA7		50	нс
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (3)	2	8	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	10	40	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	мкс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	мкс
t_{CF2ST1}	От установления "1" на nSTATUS до первого фронта DCLK		1 (4)	мкс

Таблица 20. Временные PPA-параметры для ПЛИС Mercury

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2WS}	От установки nCONFIG в "1" до первого фронта на nWS	40		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	10		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CSSU}	Время установки сигнала Chip select перед фронтом сигнала nWS	10		нс
t_{CSH}	Время удержания сигнала Chip select перед фронтом сигнала nWS	0		нс
t_{WSP}	Длительность импульса "0" на выводе nWS	200		нс
t_{CFG}	Длительность импульса "0" на nCONFIG (2)	21		мкс
t_{WS2B}	От фронта nWS до перехода RDYnBSY в "0"		50	нс
t_{BUSY}	Длительность импульса "0" на выводе RDYnBSY	0.4	1.6	мкс
t_{RDY2WS}	От фронта RDYnBSY до спада nWS	50		нс
t_{WS2RS}	От фронта nWS до спада nRS	200		нс
t_{RS2WS}	От фронта nRS до спада nWS	200		нс
t_{RSD7}	От спада nRS до допустимой длительности сигнала DATA7		50	нс
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (3)	6	28	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	10	40	мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nSTATUS до первого фронта DCLK		1 (4)	мкс

Таблица 21. Временные PPA-параметры для ПЛИС ACEX 1K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2WS}	От установки nCONFIG в "1" до первого фронта на nWS	5		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	20		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CSSU}	Время установки сигнала Chip select перед фронтом сигнала nWS	20		нс
t_{CSH}	Время удержания сигнала Chip select перед фронтом сигнала nWS	10		нс
t_{WSP}	Длительность импульса "0" на выводе nWS	200		нс
t_{CFG}	Длительность импульса "0" на nCONFIG (2)	2		мкс
t_{WS2B}	От фронта nWS до перехода RDYnBSY в "0"		50	нс
t_{BUSY}	Длительность импульса "0" на выводе RDYnBSY	0.4	1.6	мкс
t_{RDY2WS}	От фронта RDYnBSY до спада nWS	50		нс
t_{WS2RS}	От фронта nWS до спада nRS	200		нс
t_{RS2WS}	От фронта nRS до спада nWS	200		нс
t_{RSD7}	От спада nRS до допустимой длительности сигнала DATA7		50	нс
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (3)	0.6	2	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	1		мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nSTATUS до первого фронта DCLK		4	мкс

Таблица 22. Временные PPA-параметры для ПЛИС FLEX 10K

Обозначение	Описание	Мин	Макс	Единицы измерения
t_{CF2WS}	От установки nCONFIG в "1" до первого фронта на nWS	5		мкс
t_{DSU}	Время установки данных перед фронтом DCLK	20		нс
t_{DH}	Время удержания данных после фронта DCLK	0		нс
t_{CSSU}	Время установки сигнала Chip select перед фронтом сигнала nWS	20		нс
t_{CSH}	Время удержания сигнала Chip select перед фронтом сигнала nWS	10		нс
t_{WSP}	Длительность импульса "0" на выводе nWS	200		нс

t_{CFG}	Длительность импульса "0" на nCONFIG (2)	2		мкс
t_{WS2B}	От фронта nWS до перехода RDYnBSY в "0"		50	нс
t_{BUSY}	Длительность импульса "0" на выводе RDYnBSY	0.4	1.6	мкс
t_{RDY2WS}	От фронта RDYnBSY до спада nWS	50		нс
t_{WS2RS}	От фронта nWS до спада nRS	200		нс
t_{RS2WS}	От фронта nRS до спада nWS	200		нс
t_{RSD7}	От спада nRS до допустимой длительности сигнала DATA7		50	нс
t_{CD2UM}	Максимальное время до пользовательского режима CONF_DONE (3)	0.6	2	мкс
t_{STATUS}	Длительность импульса "0" на выводе nSTATUS	1		мкс
t_{CF2CD}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST0}	От установления "0" на nCONFIG до установления "0" на CONF_DONE		200	нс
t_{CF2ST1}	От установления "1" на nSTATUS до первого фронта DCLK		4	мкс

Примечания к таблицам 19-22:

1. Информация для микросхем APEX II и Mercury предварительная.
2. Величина указана только при синхронизации внутренним генератором. При внешнем источнике синхронизации (CLKUSR или DCLK), значение составляет 40 синхротактов.
3. Минимальные и максимальные величины указаны, только при синхронизации внутренним генератором. При внешнем источнике синхронизации (CLKUSR или DCLK), значение составляет 40 синхротактов для микросхем APEX II, APEX 20K и 136 для Mercury.
4. Эта величина определена без учета, возможной приостановки конфигурирования пользователем, затягиванием импульса "0" на выводе nSTATUS.
5. Величина указана только при синхронизации внутренним генератором. При внешнем источнике синхронизации (CLKUSR или DCLK), значение составляет 10 синхротактов.
6. Минимальные и максимальные величины указаны, только при синхронизации внутренним генератором. При внешнем источнике синхронизации (CLKUSR или DCLK), значение составляет 10 синхротактов.
7. Эти значения параметров применимы к микросхемам EPF10K10, EPF10K20, EPF10K40, EPF10K50, FLEX 10KA и FLEX 10KE.
8. Эти значения параметров применимы только к микросхемам EPF10K70 и EPF10K100.

Создание конфигурационных и программирующих файлов рассматривается в разделе "Device Configuration Files" (Конфигурационные файлы микросхем).

3.5. JTAG-программирование и конфигурирование микросхем (APEX II, APEX 20K, Mercury, ACEX 1K & FLEX 10K)

Для загрузки конфигурационных данных в микросхемы может использоваться схема JTAG. Объединенная группа по вопросам тестирования (JTAG - Joint Test Action Group) разработала спецификации для периферийного сканирования (BST - Boundary Scan Test). BST-технология позволяет выполнить эффективное тестирование компонентов на прецизионных печатных платах (PCB - Printed Circuit Board). BST-технология может тестировать выводы без использования шупов и пробников (обычный мультиметр) и выполняет сбор необходимых функциональных данных в нормальном режиме функционирования микросхемы.

Дополнительную информацию см. в документе фирмы Altera "Application Note 39 IEEE 1149 JTAG Boundary Scan Testing in Altera Devices".

Для работы в JTAG-режиме используются четыре выделенных вывода: TDI, TDO, TMS, и TCK, и вспомогательный вывод TRST. Все остальные выводы во время JTAG-конфигурирования находятся в третьем состоянии. JTAG-конфигурирование нельзя начинать до завершения других режимов конфигурирования. Характеристика выводов JTAG приведена в таблице 23.

Таблица 23. Характеристика выводов интерфейса JTAG

Вывод	Описание	Функции
TDI	Вход тестовых данных	Вход последовательной загрузки инструкций, программирующих и тестовых данных. Данные синхронизируются фронтом импульсов на выводе TCK .
TDO	Выход тестовых данных	Последовательный выход инструкций, программирующих и тестовых данных. Данные синхронизируются спадом импульсов на выводе TCK . Если данные из микросхемы не поступают - вывод находится в третьем состоянии
TMS	Выбор режима тестирования (режим контроллера BST)	Вход управления режимом конечного автомата (контроллера) TAP . Конечный автомат синхронизируется фронтом сигнала на входе TCK . Поэтому состояние вывода TMS должно быть установлено перед фронтом сигнала TCK .
TCK	Тактовый Вход контроллера BST	Тактовый синхровход схемы BST . Некоторые операции синхронизируются фронтом, а некоторые спадом сигнала на TCK .
TRST (1)	Вход прекращения тестирования (дополнительный)	Вход асинхронного сброса схемы периферийного сканирования. "0" на выводе - сбрасывает BST-схему периферийного сканирования. Вывод TRST является дополнительным в соответствии со стандартом IEEE STD. 1149.1 .

Примечания к таблице 23

1. Микросхемы FLEX 10K в 144-выводных корпусах TQFP не имеют вывода TRST. При использовании данных микросхем вывод TRST может игнорироваться.

Во время JTAG-конфигурирования конфигурационные данные загружаются в микросхему на печатной плате через разъемы кабелей MasterBlaster или ByteBlasterMV. Конфигурирование микросхем через кабель, аналогично ISP-программированию (программированию в системе) микросхем, за исключением подключения вывода TRST к напряжению VCC. Это соединение обеспечивает стабильную работу TAP-контроллера (см. рис. 34).

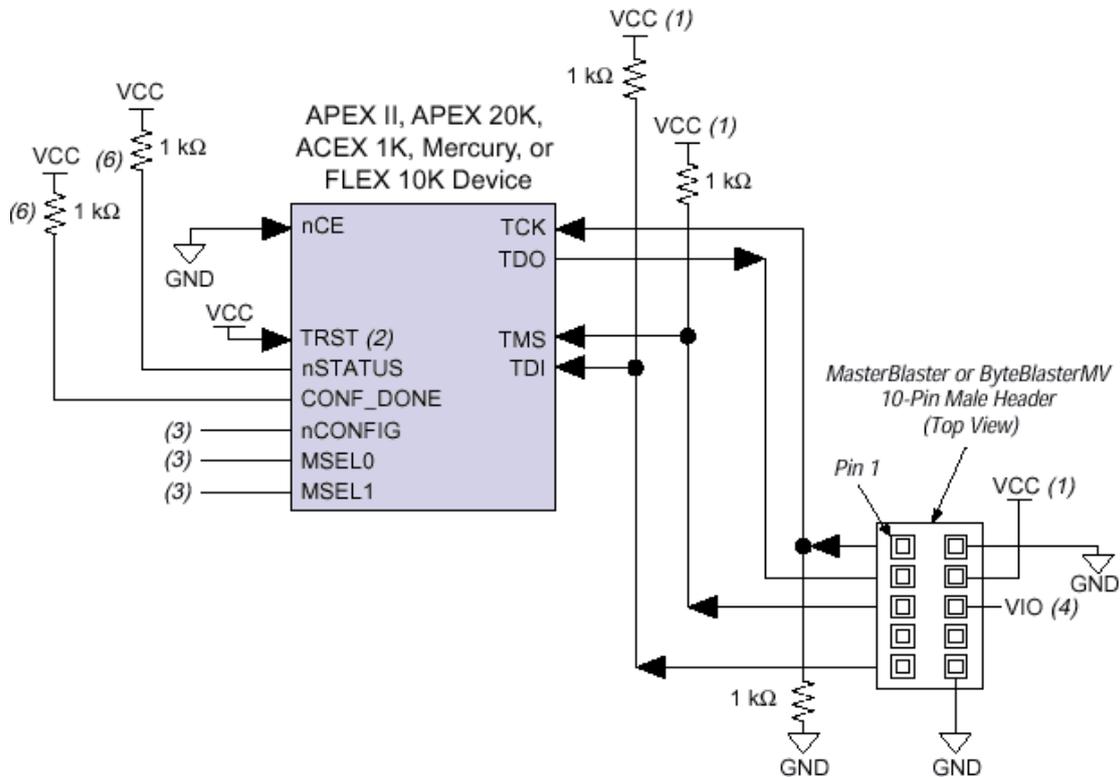


Рис. 34. JTAG-конфигурирование одиночных ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K

Примечания к рисунку 34:

1. Подтягивающий резистор должен быть подключен к тому же источнику напряжения, что и загрузочный кабель.
2. Микросхема FLEX 10K в корпусе TQFP на 144 вывода не имеет вывода TRST. Поэтому при конфигурировании этой микросхемы вывод TRST может игнорироваться.
3. Выводы nCONFIG, MSEL0 и MSEL1 должны быть присоединены в схемах, которые не используют JTAG. Если JTAG используется, вывод nCONFIG подключен к напряжению VCC, а выводы MSEL0 и MSEL1 соединяется с землей (GND).
4. Напряжение VIO является опорным напряжением выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO. См. документ фирмы Altera: "MasterBlaster Serial/USB Communications Cable Data Sheet".
5. Для микросхем APEX 20KE и APEX 20KC используется подтягивающий резистор 10 кОм.

При конфигурировании одной микросхемы по схеме JTAG конфигурирующее программное обеспечение устанавливает все другие микросхемы в режим BYPASS (обход). В режиме BYPASS микросхема без изменений пропускает программирующие данные с вывода TDI на вывод TDO через обходной регистр. Это обеспечивает возможность программировать или верифицировать заданную микросхему. Конфигурационные данные, поступающие в микросхему появляются на выводе TDO с задержкой на один такт.

Микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, и FLEX 10K имеют выделенные JTAG-выводы, которые всегда функционируют как выводы JTAG. JTAG-тестирование в микросхемах APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 возможно до и после конфигурирования. В процессе конфигурирования тестирование невозможно.

Состояния глобальных выводов reset (сброс) и output enable (разрешение выхода) у микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 не оказывают влияния на операции периферийного сканирования BST или программирования. Подключение этих выводов не влияет на операции JTAG (отличающихся от обычных операций периферийного сканирования).

При разработке платы для JTAG-конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K, следует учитывать конфигурирующие выводы. Подключение этих выводов описано в таблице 24.

Таблица 24. Подключение JTAG-выводов при конфигурировании

Сигнал	Описание
nCE	Для всех микросхем APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K в цепочке на этом выводе должен, обеспечен "0". Это можно сделать посредством соединения вывода с землей GND , подключением нагрузочного резистора, или же установкой "0" от внешней управляющей схемы.
nSTATUS	Напряжение вывода подтягивается к напряжению V_{CC} или 10 кОм. При с помощью нагрузочных резисторов 1 кОм конфигурировании нескольких микросхем в одной JTAG -цепочке, напряжение на каждом выводе nSTATUS индивидуально подтягивается к напряжению V_{CC} . (1)
CONF_DONE	Напряжение вывода подтягивается к напряжению V_{CC} или 10 кОм. При с помощью нагрузочных резисторов 1 кОм конфигурировании нескольких микросхем в одной JTAG -цепочке, напряжение на каждом выводе CONF_DONE индивидуально подтягивается к напряжению V_{CC} . (1)
nCONFIG	Управляется "1" путем подключения к напряжению V_{CC} , подтягивания с помощью нагрузочного резистора или установкой "1" от управляющей схемы.
MSEL0, MSEL1	Эти выводы не должны быть в неопределенном состоянии. Эти выводы поддерживаются при любом используемом не JTAG -конфигурировании. При использовании только JTAG -конфигурировании, оба этих вывода необходимо подключить к земле.
DCLK	Эти выводы не должны быть в неопределенном состоянии. На них необходимо обеспечить "0" или "1".
DATA0	Эти выводы не должны быть в неопределенном состоянии. На них необходимо обеспечить "0" или "1".
TRST	Этот JTAG -вывод не присоединяется к загрузочному кабелю. Он должен быть в состоянии "1".

Примечания к таблице 24:

1. Появление "0" во время JTAG-конфигурирования на выводе nSTATUS означает, что произошла ошибка. Конфигурирование считается успешным, если по окончании конфигурирования на выводе CONF_DONE будет "1".

Создание конфигурационных и программирующих файлов описывается в разделе Конфигурационные файлы микросхем.

3.6. JTAG-программирование и конфигурирование нескольких микросхем (APEX II, APEX 20K, Mercury, ACEX 1K & FLEX 10K)

При программировании микросхем в JTAG-цепочке один JTAG-совместимый разъем (такой как разъем загрузочного кабеля ByteBlaster) подключается к нескольким микросхемам.

Количество микросхем в JTAG-цепочке ограничивается только пропускной способностью загрузочного кабеля. При объединении более пяти микросхем Altera рекомендует обеспечить буферизацию выводов TCK, TDI, и TMS с помощью встроенного буфера на плате.

Программирование в JTAG-цепочке удобно использовать для программирования нескольких микросхем на печатной плате, а также для тестирования печатной платы с использованием периферийного сканирования BST по JTAG. Схема конфигурирования нескольких микросхем в JTAG-цепочке приведена на рис. 35.

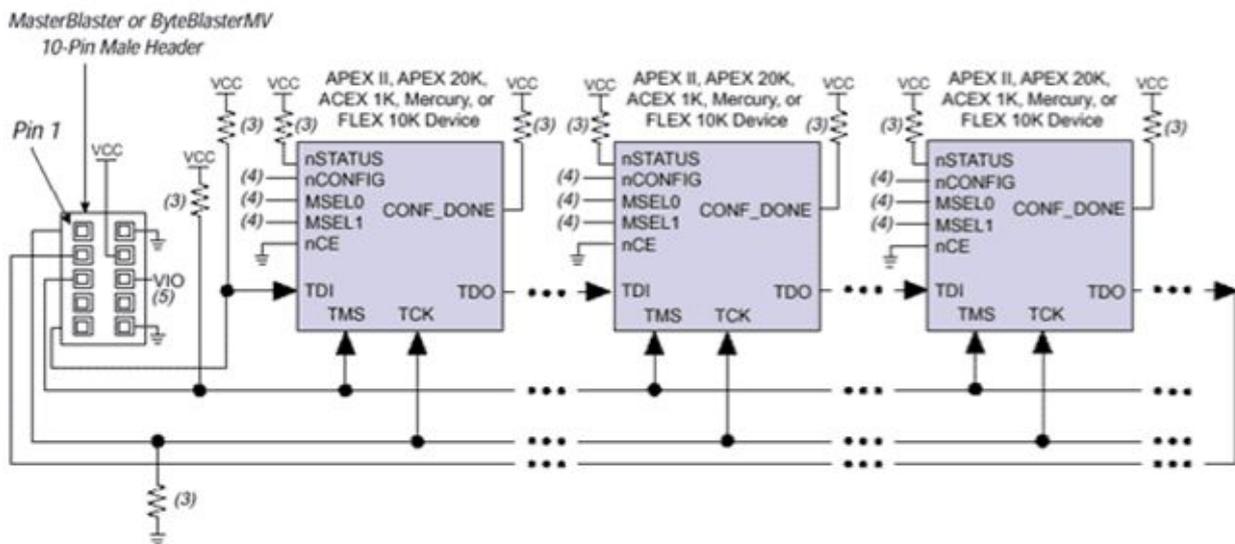


Рис. 35. Схема конфигурирования нескольких микросхем в JTAG-цепочке

Примечания к рисунку 35:

1. Микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и MAX могут программироваться и конфигурироваться в той же JTAG-цепочке.
2. Подробную информацию по всем использованным в этой схеме конфигурационным выводам см. в таблице 24.
3. Все показанные на схеме подтягивающие и снижающие нагрузочные резисторы - 1 кОм. У микросхем APEX 20KE и APEX 20KC на выводах nSTATUS и CONF_DONE необходим подтягивающий резистор 10 кОм.
4. В схемах, не использующих JTAG выводы nCONFIG, MSEL0 и MSEL1 должны быть соединены. При использовании только JTAG-конфигурирования, вывод nCONFIG соединяется с VCC, а выводы MSEL0 и MSEL1 соединяются с землей.
5. Напряжение VIO является опорным напряжением выходного буфера загрузочного кабеля MasterBlaster. Это напряжение должно быть согласовано с напряжением VCCIO. Описание загрузочного кабеля см. в документе фирмы Altera: "MasterBlaster Serial/USB Communications Cable Data Sheet".
6. Вывод TRST доступен только в микросхемах APEX II, APEX 20K, Mercury, ACEX 1K и во всех микросхемах FLEX 10K, кроме микросхем в 144-выводном корпусе типа TQFP.

В конце JTAG-конфигурирования его выполнение автоматически проверяется САПР QUARTUS II или MAX+PLUS II. Через порт JTAG проверяется состояние вывода CONF_DONE. При некорректном состоянии вывода CONF_DONE САПР QUARTUS II или MAX+PLUS II сигнализирует о неудаче конфигурирования. При корректном состоянии вывода CONF_DONE, САПР подтверждает успешную конфигурацию.

При JTAG-конфигурировании, если напряжение VCCIO составляет 3,3 В, тогда и I/O-выводы и JTAG-вывод TDO будут управляться напряжением 3,3-В уровня.

JTAG-конфигурирование и обычное конфигурирование микросхемы не могут выполняться одновременно. JTAG-конфигурирование выполняется только после окончания конфигурирования по любой другой не JTAG схеме.

На рис. 36 приведена схема JTAG-конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K с помощью микропроцессора.

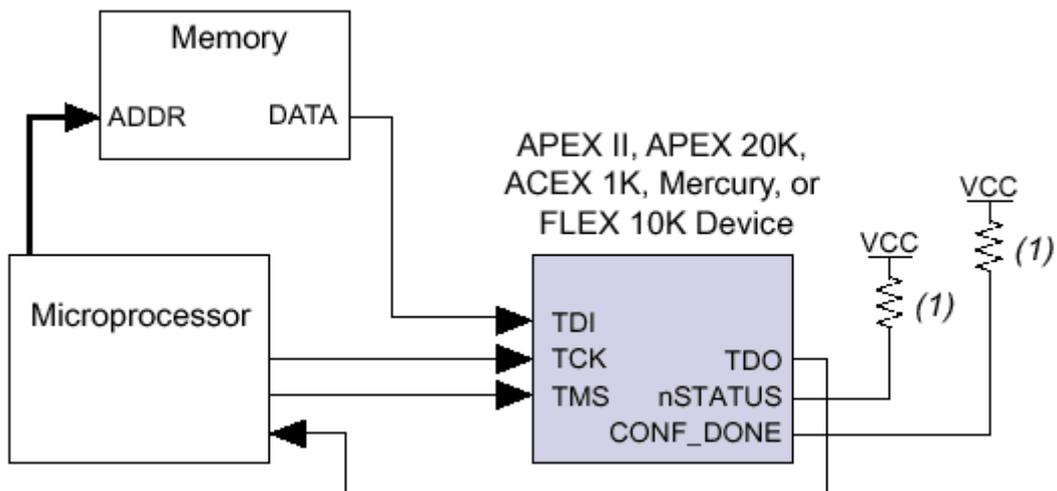


Рис. 36. Схема JTAG-конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K или FLEX 10K с помощью микропроцессора

Примечания к рисунку 36:

1. Все подтягивающие резисторы в схеме 1 кОм, только для микросхем APEX 20KE и APEX 20KC используется подтягивающий резистор 10 кОм.

3.7. Язык программирования и тестирования Jam STAPL

Режим ИСС-конфигурирования в схеме (In-circuit configuration) с помощью встроенного процессора облегчает создание прототипов проекта, упрощает производство и позволяет быстро и эффективно производить обновления конфигурации ПЛИС.

Jam - это стандартный язык программирования и тестирования (STAPL - Standard Test and Programming Language).

Jam-технология использует файлы стандартного формата для работы по JTAG-интерфейсу стандарта IEEE

Std. 1149.1. При этом упрощается и увеличивается гибкость ИСС-конфигурирования.

Jam-файлы и файлы Jam Byte-Code (.jbc) содержат алгоритм программирования и все данные, необходимые для обновления конфигурации одной или нескольких микросхем. Язык Jam поддерживается САПР MAX+PLUS II версий 8.0 и выше и QUARTUS II.

Размер JBC-файла можно оценить по следующему выражению.

$$JBC\ Size = Alg + \sum_{k=1}^N Data$$

Где: Alg - объем, занимаемый алгоритмом (см. таблицу 25); Data - объем, занимаемый сжатыми данными программирования (см. таблицу 26); k - индекс, представляющий семейство конфигурируемых микросхем; N - число конфигурируемых микросхем.

Таблица 25. Размеры файла алгоритма

Микросхема	типичный размер jbc-файла алгоритма (килобайт)
APEX 20K	14
APEX 20KE	14
ACEX 1K	15
FLEX 10K	15
FLEX 10KE	15
FLEX 10KA	15

Таблица 26. Размеры файла данных

Микросхема	Типичный размер байт-кода данных JAM STAPL (килобайт)	
	сжатый	несжатый
EPF10K10, EPF10K10A	12	15
EPF10K20	21	29
EPF10K30	33	47
EPF10K30A	36	51
EPF10K30E	36	59
EPF10K40	37	62
EPF10K10K50, EPF10K50B	50	78
EPF10K50E	52	98
EPF10K70	76	112
EPF10K100, EPF10K100A, EPF10K100B	95	149
EPF10K100E	102	167
EPF10130E	140	230
EPF10K130B	136	199
EPF10K200E	205	345
EPF10K250A	235	413
EP1K10		
EP1K30	36	59
EP1K50	50	78
EP1K100	95	149
EP20K100	128	244
EP20K200	249	475
EP20K400	619	1,180

Более подробную информацию по конфигурированию микросхем с помощью языка Jam STAPL см. в описании фирмы Altera: "Application Note 122 Using Jam STAPL for ISP & ICR via an Embedded Processor".

3.8. Использование различных конфигурационных схем на одной печатной плате

В данном разделе рассматривается конфигурирование микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 с помощью различных схем конфигурирования на одной печатной плате (см. рис. 37).

Схема конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000, с помощью загрузочного кабеля и конфигурационной микросхемы.

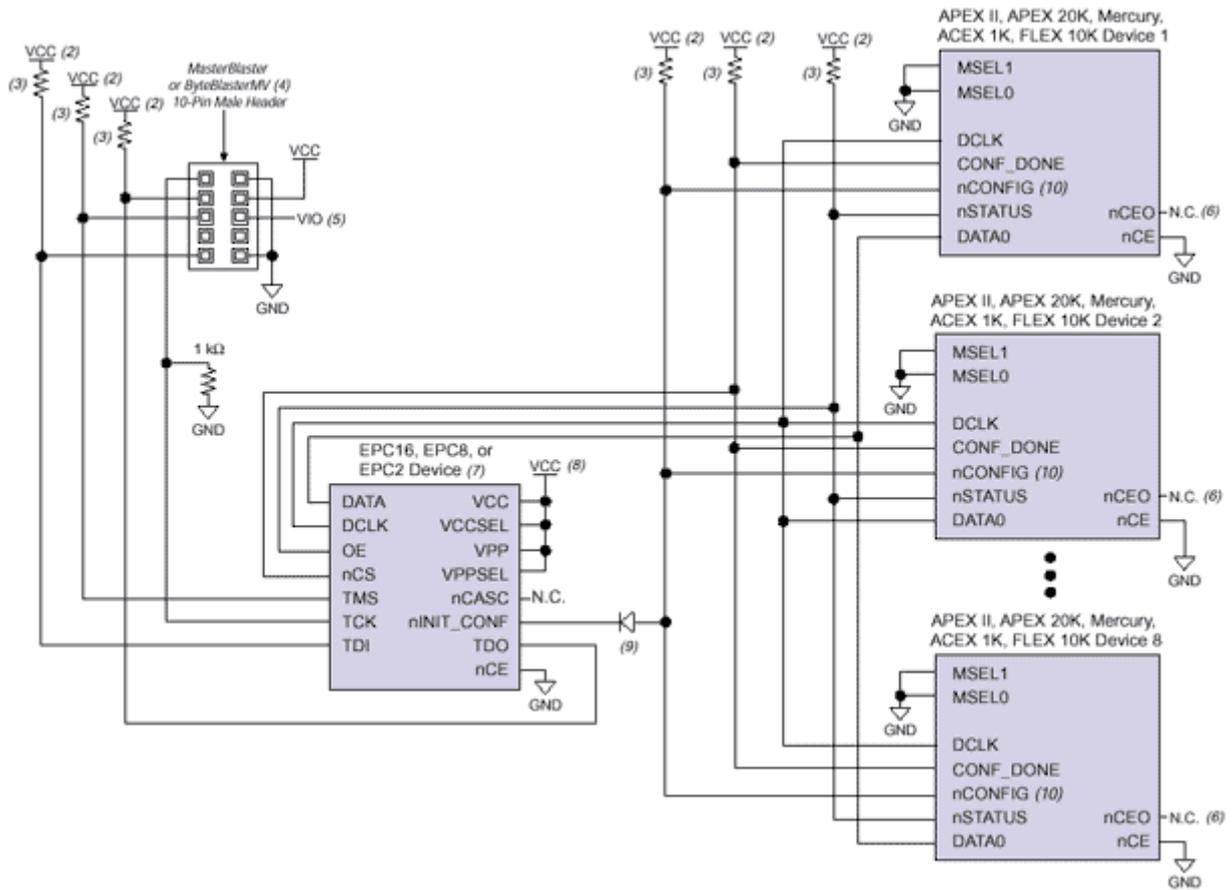


Рис. 37. Схема конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000, с помощью загрузочного кабеля и конфигурационной микросхемы

Примечания к рисунку 37:

1. На этой схеме выполняется совместное конфигурирование восьми ПЛИС одними данными.
2. Напряжение VCC должно быть подключено к тому же источнику напряжения что и конфигурационная микросхема.
3. Все показанные на схеме подтягивающие и снижающие нагрузочные резисторы - 1 кОм. Для микросхем APEX 20KE и APEX 20KC подтягивающий резистор на выводах nSTATUS и CONF_DONE должен быть 10 кОм. Выводы OE, nCS и nINIT_CONF микросхем EPC16, EPC8 и EPC2 имеют внутренние конфигурируемые пользователем подтягивающие резисторы. При использовании внутреннего резистора, нет необходимости использовать внешние резисторы.
4. Загрузочный кабель программирует конфигурационную микросхему (EPC16, EPC8 или EPC2).
5. Напряжение VIO является опорным напряжением выходного буфера MasterBlaster. Напряжение VIO должно быть согласовано с напряжением VCCIO. фирмы Altera Описание загрузочного кабеля см. в документе фирмы Altera: "MasterBlaster Serial/USB Communications Cable Data Sheet".
6. При конфигурировании одной микросхемы вывод nCEO оставляют неприсоединенным.
7. При использовании напряжения 3,3 В, выводы VCC, VCCSEL, VPP, и VPPSEL должны питаться напряжением 3,3 В. При использовании 5.0-В, выводы VCC и VPP питают напряжением 5,0 В, а выводы VCCSEL и VPPSEL соединяются с землей. Для ускорения конфигурирования, вы можете изменить VPP на 5,0 В, VCC на 3,3 В, а вывод VPPSEL соединить с землей. Более подробную информацию см. в таблице 28.
8. Конфигурационная микросхема конфигурирует ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K. Соединения выводов микросхем EPC16, EPC8 или EPC2 с конфигурируемой микросхемой показаны на рис. 37. Для других конфигурационных микросхем эти выводы можно соединять соответственно.

Для разделения напряжений источников 1,8 и 3,3 В между выводом nCONFIG микросхемы APEX 20KE и выводом nINIT_CONF конфигурируемой микросхемы необходимо включить диод. Необходим диод с пороговым напряжением не более 0,7 В. Диод обеспечивает на выводе открытого стока nINIT_CONF либо "0", либо третье состояние.

Для гарантии успешного конфигурирования ПЛИС APEX 20KE и APEX 20KC при всех возможных последовательностях подачи напряжений питания, необходим нагрузочный резистор для подтягивания вывода

nCONFIG к напряжению VCCINT.

На рис. 38 приведена схема конфигурирования микросхем APEX 20K, FLEX 10K, FLEX 6000 с помощью загрузочного кабеля и конфигурационной микросхемы EPC2.

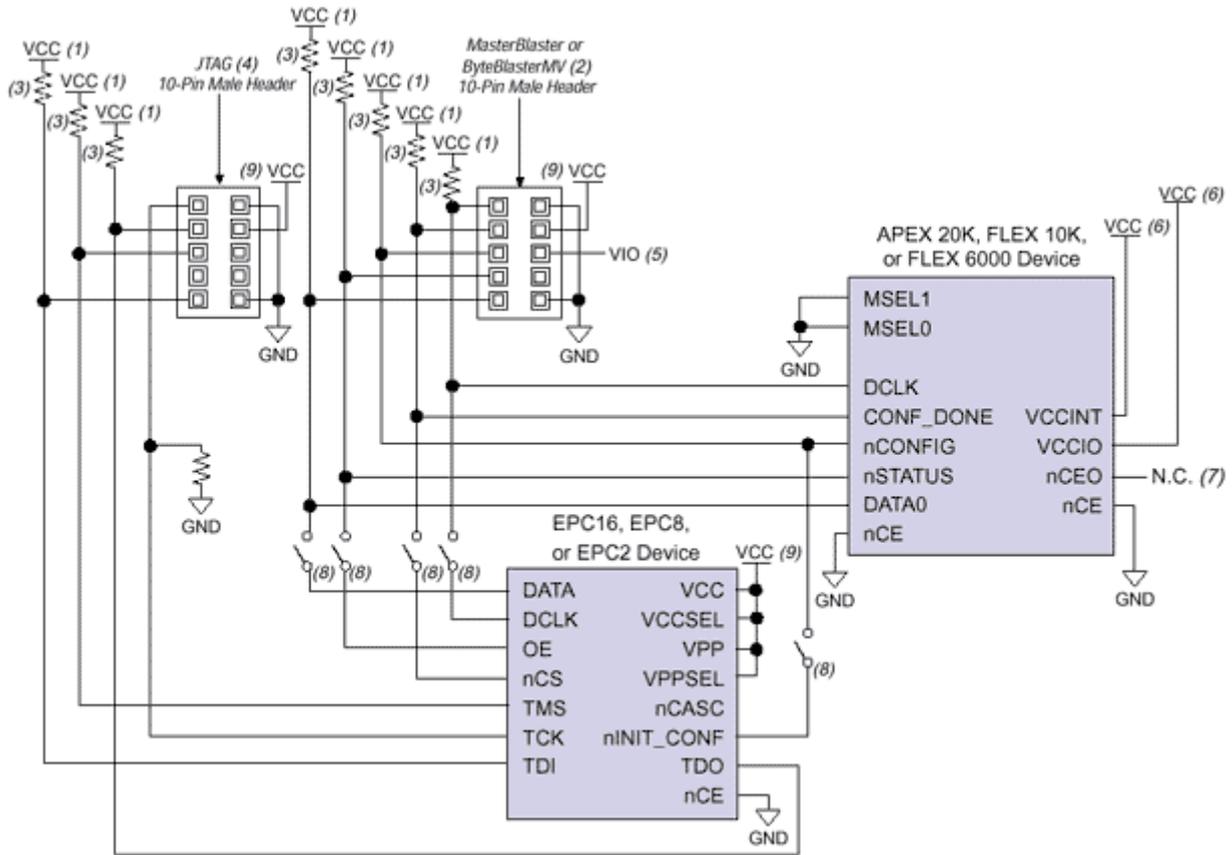


Рис. 38. Схема конфигурирования ПЛИС APEX 20K, FLEX 10K, FLEX 6000 с помощью загрузочного кабеля и конфигурационной микросхемы EPC2

Примечания к рисунку 38.

1. VCC соединяется с тем же источником питания что и конфигурирующая микросхема
2. ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, или FLEX 10K, конфигурируются с помощью либо конфигурационной микросхемы, либо загрузочного кабеля.

4. КОНФИГУРИРОВАНИЕ С ИСПОЛЬЗОВАНИЕМ ФЛЭШ-ПАМЯТИ

ПЛИС Altera обладают высокой степенью интеграции, поэтому требуют значительного объема конфигурационных данных. В результате для хранения данных и конфигурирования ПЛИС требуется больше конфигурационных микросхем. Недостатки использования нескольких конфигурационных микросхем - дополнительное занимаемое место на плате и рост сложности устройства.

Для хранения конфигурационных данных может использоваться флэш-память. Для чтения и записи во флэш-память, а также для выполнения конфигурирования требуется контроллер флэш-памяти. Для реализации контроллера флэш-памяти можно использовать ПЛИС MAX 3000 или MAX 7000.

Файлы проекта контроллера на ПЛИС MAX 3000 или MAX 7000 можно найти на сайте фирмы Altera (<http://altera.com>). Вы можете загрузить эти файлы со страницы литературы применению микросхем по ссылке "AN 116: Configuring SRAM-Based LUT Devices".

4.1. Конфигурирование ПЛИС с использованием флэш-памяти и контроллера на MAX 3000A

Контроллер флэш-памяти может получать конфигурационные данные от персонального компьютера или микропроцессора через параллельный порт (см. рис. 39). Контроллер создает последовательность команд для программирования флэш-памяти и извлечения конфигурационных данных для конфигурирования ПЛИС.

Контроллер флэш-памяти поддерживает следующие команды:

1. Программирование флэш-памяти;
2. Конфигурирование ПЛИС;
3. Контроль содержимого флэш-памяти.

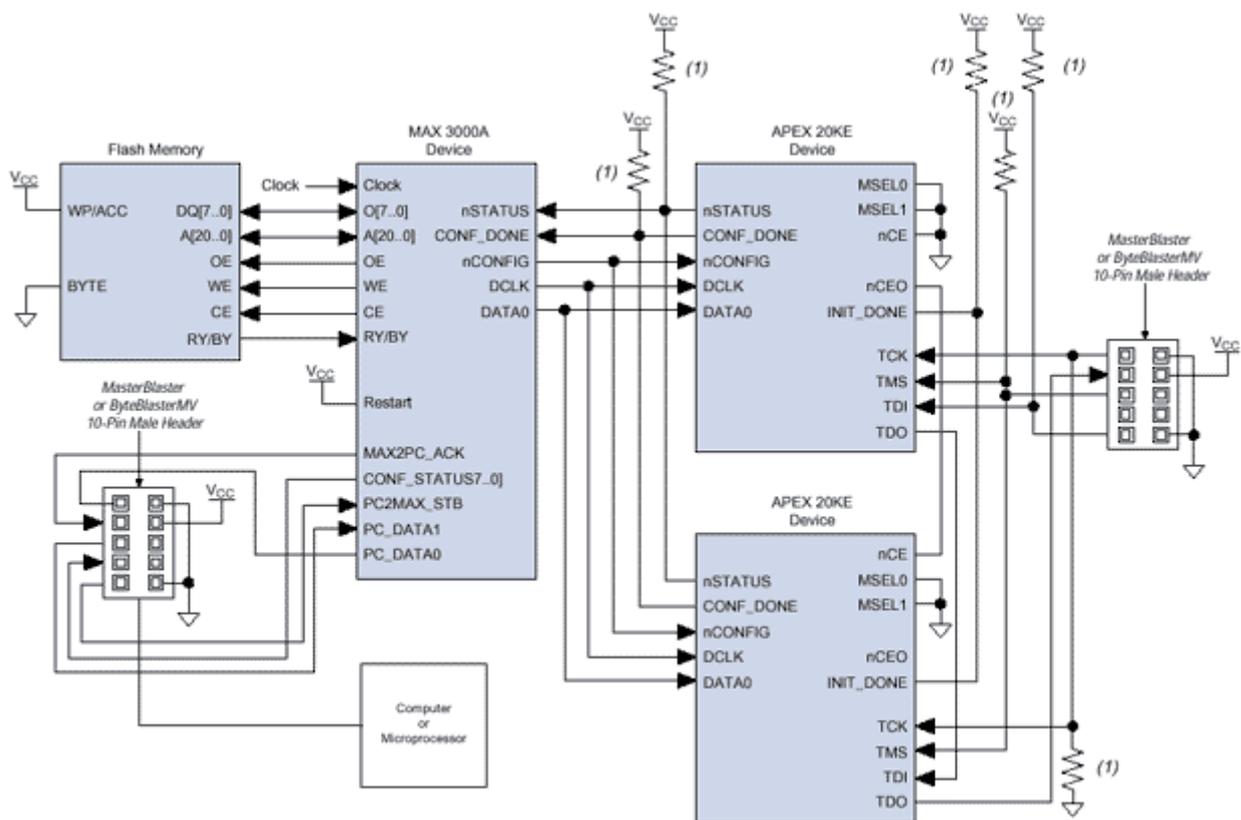


Рис. 39. Конфигурирование ПЛИС с использованием флэш-памяти и контроллера на MAX 3000A

Примечания к рисунку 39

1. Все резисторы 1 кОм. Для микросхем APEX 20KE и APEX 20KC резисторы 10-Ком на выводах nSTATUS и CONF_DONE используются резисторы 10 кОм.

1. Спецификация проекта контроллера флэш-памяти

Контроллер проверяет работу флэш-памяти сразу после включения платы. Если флэш-память запрограммирована успешно, тогда контроллер конфигурирует ПЛИС. Если нет - контроллер ждет команды от компьютера или микропроцессора.

Приемник дешифрует следующие команды, получаемые от компьютера или микропроцессора:

1. Программировать флэш-память;
2. Конфигурировать ПЛИС;
3. Проверить программирование флэш-памяти.

После выполнения команды контролер возвращается в состояние ожидания следующей команды. Граф конечного автомата контроллера приведен на рис. 40.

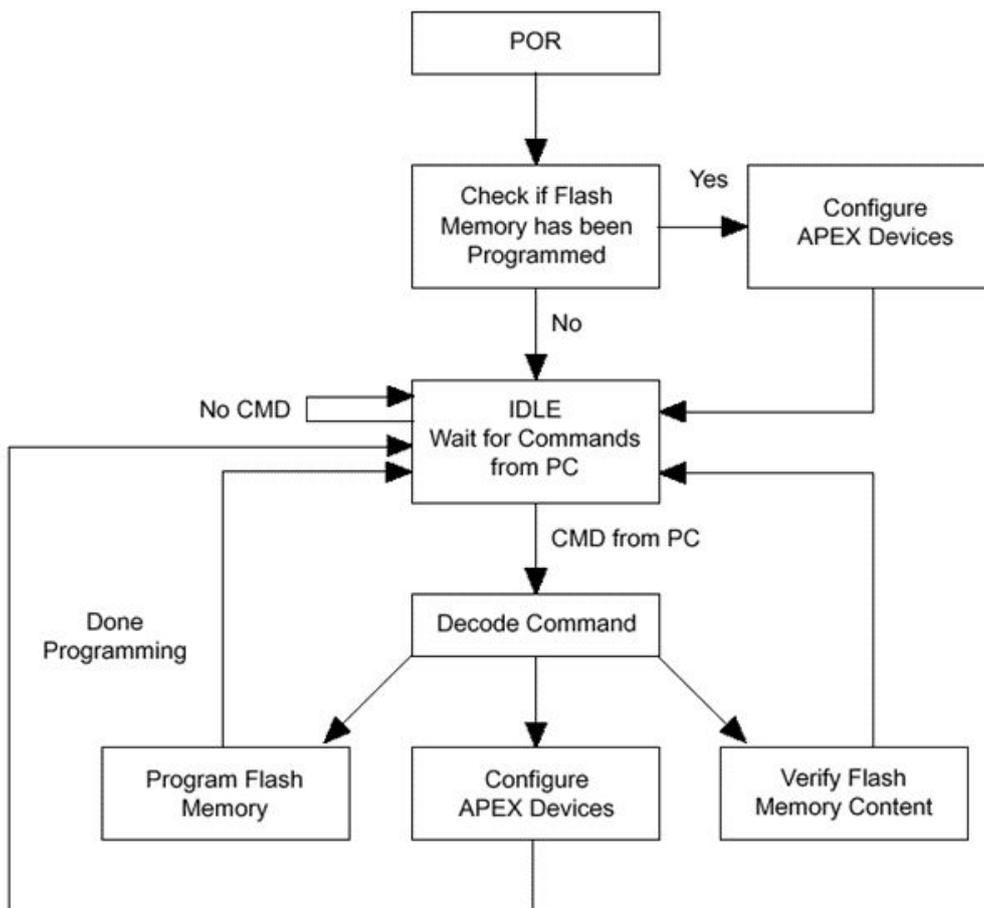


Рис. 40. Конечный автомат контроллера флэш-памяти

2. Функционирование контроллера флэш-памяти

Контроллер записывает байт в специально отведенное место флэш-памяти, а затем программирует память. После POR, контроллер проверяет, записался ли туда байт или нет. Если байт записан, то флэш-память программируется, и контроллер может продолжать конфигурирование ПЛИС считывая данные из флэш-памяти. Если байта нет или его значение отличается от требуемого, контроллер переходит в состояние ожидания программирования его со стороны компьютера или микропроцессора.

3. Получение данных с компьютера или микропроцессора

Компьютер или микропроцессор соединяются с контроллером через параллельный порт. Различают два типа передаваемых сигналов (см. рис. 41), 3-х битовый сигнал с компьютера или микропроцессора на контроллер и 2-х битовый сигнал с контроллера на компьютер или микропроцессор.

Входной сигнал включает следующие три составляющих:

1. STB (строб) - корректность данных с компьютера или микропроцессора.
2. DATA_mode: состояние передачи/приема команд контроллером. При "1" на DATA_mode контроллер выдает команды, при "0" - принимает.
3. DATA - этот сигнал зависит от DATA_mode. Это могут быть данные для контроллера в режиме выдачи команд, а могут быть данные для контроллера в режиме получения.

Выходной сигнал включает следующие две составляющие:

1. ACK - сигнал подтверждения взаимодействия между контроллером и компьютером или микропроцессором.
2. conf_status - состояние конфигурирования.

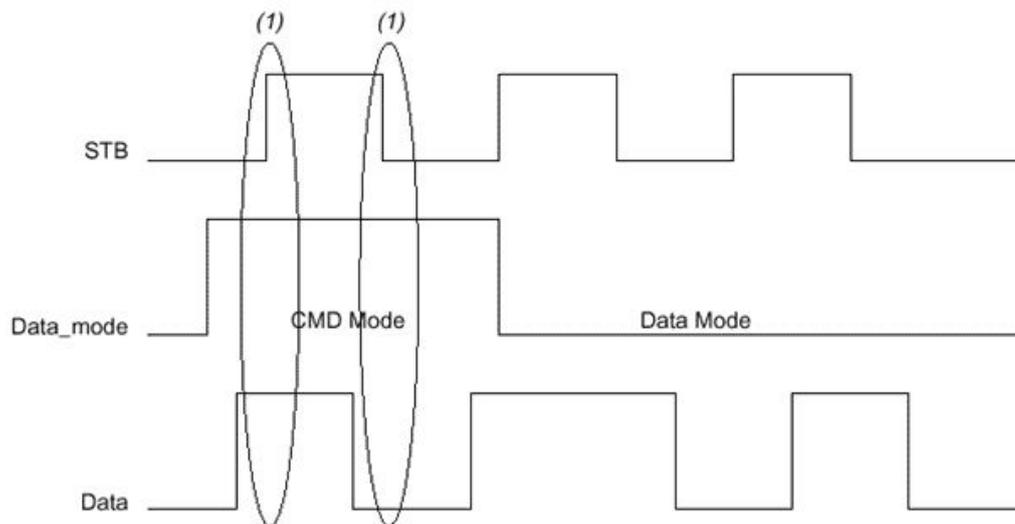


Рис. 41. Временные диаграммы получения данных с микропроцессора

Примечание к рис. 41.

1. Контроллер получает бит данных или команду с компьютера или микропроцессора по фронту и спаду сигнала STB.

После получения данных, контроллер отправляет сигнал подтверждения на компьютер или микропроцессор для инициализации отправления следующего бита данных. Сигнал подтверждения должен быть того же логического уровня, что и последний полученный сигнал STB. При не подтверждении ASK, контроллер может приостановить отправку данных с компьютера или микропроцессора. Отправка данных поясняется временными диаграммами на рис. 42.

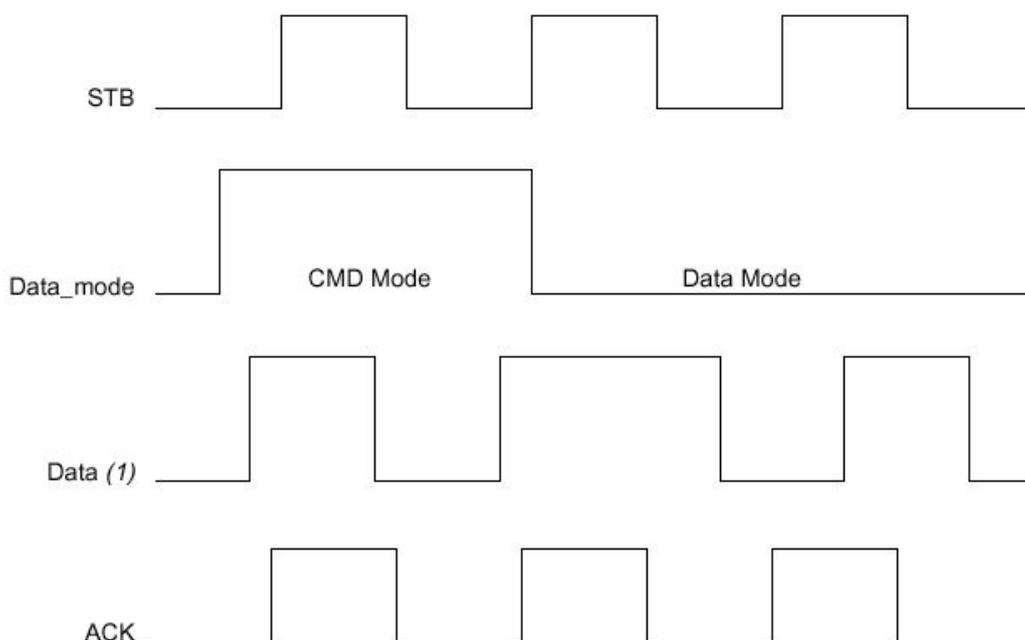


Рис. 42. Временные диаграммы отправки данных контроллером флэш-памяти

4. Программирование флэш-памяти

После получения команд с компьютера или микропроцессора, контроллер очищает а затем начинает программировать флэш-память. Разделение конечного автомата необходимо для создания последовательности команд программирования и программирования длительности импульса.

Во время программирования флэш-памяти контроллер должен проверить получение команды (DATA_mode=1). Эта команда индицирует конец потока данных с компьютера для выхода контроллера из состояния

программирования флэш-памяти и возвращения его в режим ожидания.

Другой конечный автомат требуется для чтения и преобразования в последовательную форму данных флэш-памяти и генерации DCLK и DATA0. Контроллер контролирует сигналы CONF_DONE ПЛИС для определения завершения конфигурации. По окончании конфигурирование контроллер выходит из состояния конфигурирования и возвращается в состояние ожидания.

5. Контроль содержимого флэш-памяти

Существуют два типа контроллеров флэш-памяти. Первые работают с флэш-памятью AMD/Fujitsu, вторые с флэш-памятью Intel. Контроль содержимого состояния флэш-памяти поддерживает только Intel.

Контроль, соответствия содержимого флэш-памяти Intel конфигурирующему файлу, выполняется по команде верификации. При поступлении команды верификации, микросхема MAX считывает команды обратно с флэш-памяти. Каждый раз при считывании команды микросхемой MAX она отправляет каждый бит на компьютер или микропроцессор через кабель ByteBlasterMV. Программное обеспечение компьютера или микропроцессора преобразует каждый бит в байт и реконструирует TTF-файл, на основе считанных с микросхемы MAX данных. При реконструкции, программное обеспечение добавляет в файл необходимые команды и разделители строк, чтобы обеспечить точно такой же формат что и TTF-файл, созданный САПР QUARTUS II.

Процесс верификации останавливается, когда микросхема MAX завершает считывание из флэш-памяти. В это время САПР заканчивает конфигурирование TTF файла. Поэтому, САПР сравнивает реконструированный TTF-файл с оригинальным файлом TTF и выводит сообщение результаты сравнения файлов на экран.

При возникновении в процессе конфигурирования ошибки, контроллер устанавливает "0" на выводе CONF_STATUS информируя компьютер или микропроцессор об ошибке верификации, и немедленно возвращается в состояние ожидания. Во время верификации, контроллер должен проверять получение команды (DATA_mode=1). Эта команда показывает конец потока данных с компьютера или микропроцессора. По этой команде контроллер завершает программирование флэш-памяти и переходит в состояние ожидания.

4.2. Конфигурирование микросхем с использованием флэш-памяти и контроллера на MAX7000

Схема конфигурирования с использованием микросхемы MAX 7000 приведена на рис. 43.

Доступны два примера проектов контроллера для ПЛИС MAX 7000. Они располагаются на странице сайта фирмы Altera - <http://www.altera.com/html/literature/lan.html> под заголовком "AN 116: Configuring APEX 20K, FLEX 10K & FLEX 6000 Devices". На рис. 31 представлен файл для конфигурирования микросхем APEX 20K. На рис. 31 и на рис. 31 - файл для конфигурирования микросхем FLEX 10K и FLEX 6000.

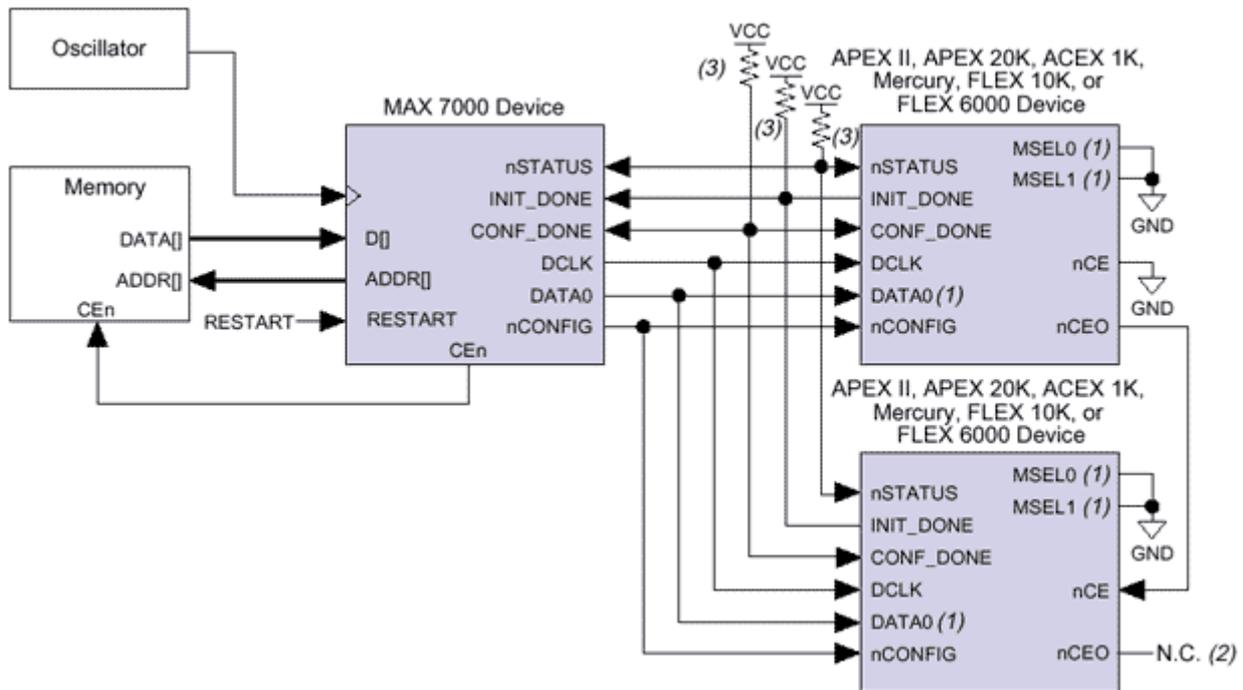


Рис. 43. Схема конфигурирования с использованием внешней памяти и ПЛИС MAX7000

Временные диаграммы конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000 с использованием внешней памяти и ПЛИС MAX 7000 приведены на рис. 44.

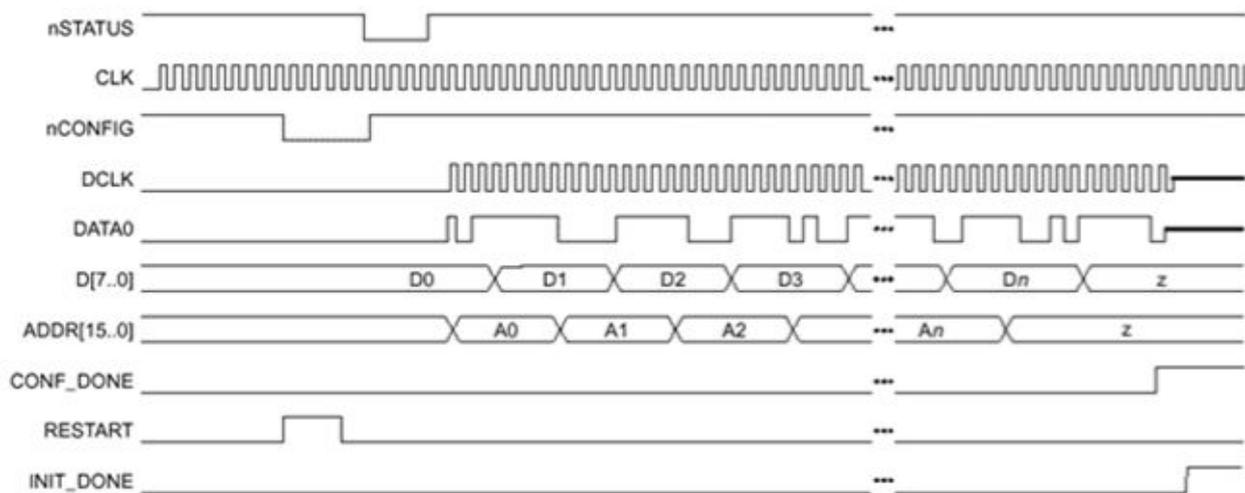


Рис. 44. Временные диаграммы конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000 с использованием внешней памяти и ПЛИС MAX 7000

5. ОПЦИИ КОНФИГУРИРОВАНИЯ

Опции для конфигурируемых микросхем ACEX 1K, FLEX 10K, и FLEX 6000 в САПР MAX+PLUS II фирмы Altera устанавливаются в диалоговом окне Global Project Device Options. В САПР QUARTUS II опции для этих микросхем устанавливаются в диалоговом окне Device & Pin Option. Для вызова этого окна войдите в меню Processing, далее - Compiler Settings, и затем нажмите кнопку Chips & Devices. Опции сведены в таблицу 27 - 29.

Таблица 27. Опции конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K & FLEX 6000

Опции	Описание	Конфигурация по умолчанию (опции выключены)	Модифицированная конфигурация (опции включены)
Синхронизация, задаваемая пользователем (для микросхем ACEX 1K, FLEX 10K, FLEX 6000)	После отправки всех данных в микросхему для начала инициализации необходимо еще 10 синхротактов. После начала инициализации вывод CONF_DONE переходит в "1". Выбор синхронизации осуществляется CLKUSR, или DCLK.	В схемах конфигурации PPA и PSA синхросигналы для инициализации обеспечиваются внутренним генератором микросхемы. В схемах конфигурации PS и PPS внутренний генератор отключен. В этом случае синхросигналы инициализации на выводе DCLK должны формироваться внешними устройствами: конфигурационной микросхемой или загрузочным кабелем. При использовании конфигурационной микросхемы - синхронизация обеспечивается этой микросхемой, а в схемах PS и PPS синхронизация обеспечивается микропроцессором.	Синхросигнал на выводе CLKUSR задается пользователем. Этот синхросигнал может синхронизировать несколько микросхем. Синхросигнал должен быть подан на вывод CLKUSR после передачи последнего байта данных. Синхросигнал во время конфигурации не влияет на процесс конфигурирования. Задействование вывода CLKUSR в пользовательском режиме выбирается в САПР QUARTUS II.
Синхронизация, задаваемая пользователем (для микросхем APEX II, APEX 20K, Mercury)	После отправки всех данных в микросхему для начала инициализации необходимо еще 40 синхротактов для микросхем APEX II или APEX 20K, или же 136 синхротактов для микросхем Mercury. После начала инициализации вывод CONF_DONE переходит в "1". Микросхема может быть инициализирована с помощью внутреннего синхрогенератора или внешних генераторов подключаемых к выводам DCLK или CLKUSR.	Синхронизация обеспечивается внутренним генератором	Синхросигнал на выводе CLKUSR задается пользователем. Этот синхросигнал может синхронизировать несколько микросхем. Синхросигнал должен быть подан на вывод CLKUSR после передачи последнего байта данных. Синхросигнал во время конфигурации не влияет на процесс конфигурирования. Задействование вывода CLKUSR в пользовательском режиме выбирается в САПР QUARTUS II. Вывод CLKUSR может использоваться для подачи синхросигнала инициализации от конфигурационной микросхемы. Вывод DCLK

			используется только при пассивной конфигурации.
--	--	--	---

Таблица 28. Опции конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K & FLEX 6000

Опции	Описание	Конфигурация по умолчанию (опции выключены)	Модифицированная Конфигурация (опции включены)
Перезапуск конфигурирования при обнаружении ошибки	Выбор способа запуска реконфигурирования при обнаружении ошибки во время конфигурации.	Процесс конфигурирования останавливается до тех пор, пока микросхеме не будет дан сигнал выполнить реконфигурирование. При обнаружении ошибки вывод nSTATUS переходит в "0". Положительный перепад на выводе nCONFIG запускает реконфигурирование.	Процесс конфигурирования перезапускается автоматически. Вывод nSTATUS переходит в "0" и возвращается в исходное состояние. Напряжение на выводе nSTATUS подтягивается к напряжению V _{cc} через подтягивающий резистор, показывая, показывая возможность перезапуска конфигурирования. При использовании конфигурационной микросхемы, если вывод nSTATUS соединен с выводом OE конфигурационной микросхемы, импульс сброса на выводе nSTATUS автоматически сбрасывает конфигурационную микросхему. Последняя освобождает вывод OE и начинает реконфигурирование. Если во время конфигурации происходит ошибка, - микросхема может быть реконфигурирована без импульса на nCONFIG. Реконфигурация может начаться после перехода вывода nSTATUS в "1".
Снятие сигнала сброса (clear) перед выходом из третьего состояния	Во время конфигурирования, I/O-выводы находятся в третьем состоянии. Выбирается последовательность вывода I/O-выводов из третьего состояния и сброса (clear) регистров микросхемы во время инициализации.	Вывод I/O-выводов микросхемы из третьего состояния осуществляется перед снятием сигнала сброса (clear) регистров.	Микросхема снимает сигнал сброса регистров перед снятием третьего состояния I/O-выводов. Эту опция обеспечивает начало работы сконфигурированной ПЛИС еще до включения своих выводов, чтобы при запуске выходы не устанавливались в "0".
Разрешение глобального сброса	Обеспечивает возможность сброса всех регистров микросхемы по одному выводу.	Глобальный сброс не возможен. Вывод DEB_CLRn используется как I/O-вывод	Глобальный сброс возможен для всех регистров микросхемы. Сброс всех регистров производится установкой "0" на выводе DEB_CLRn.

Таблица 29. Опции конфигурирования микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K & FLEX 6000

Опции	Описание	Конфигурация по умолчанию (опции выключены)	Модифицированная Конфигурация (опции включены)
Разрешение глобального разрешения выхода (output enable)	Обеспечивает возможность управления третьим состоянием всей микросхемы	Глобальное управление разрешением выхода невозможно. Вывод DEV_OE используется как I/O-вывод.	Разрешено управление третьим состоянием всей микросхемы с помощью глобального сигнала разрешения выхода (output enable). После конфигурирования все пользовательские I/O-выводы переходят в третье состояние низким уровнем на выводе DEV_OE.
Разрешение выхода INIT_DONE	Разрешает работу выходов после завершения инициализации при переходе в пользовательский режим.	Сигнал INIT_DONE не доступен. Вывод INIT_DONE используется как I/O-вывод.	Сигнал INIT_DONE доступен на выводе с открытым стоком INIT_DONE. Во время конфигурирования на этом выводе устанавливается "0". После инициализации, он освобождается и может быть установлен в "1" извне. На выводе INIT_DONE должен быть подтягивающий резистор 1 кОм. При задействовании вывода INIT_DONE он не может использоваться как пользовательский I/O-вывод.
Разрешение использования JTAG (только для FLEX 6000). В	Разрешение периферийного BST-тестирования в микросхемах FLEX 6000	JTAG периферийное BST-тестирование может выполняться до конфигурирования. Однако оно	JTAG периферийное BST-тестирование может выполняться до или после конфигурирования через четыре вывода JTAG: TDI, TDO,

микросхемах APEX 20K, Mercury, FLEX 10K JTAG поддерживается всегда.	по окончании конфигурирования.	может быть выполнено также во время или после конфигурирования. Во время JTAG периферийного BST -тестирования на выводе nCONFIG должен удерживаться "0".	TMS, TCK . Однако тестирование не может быть выполнено во время конфигурирования. При выполнении периферийного тестирования JTAG до конфигурирования на выводе nCONFIG должен удерживаться "0".
--	--------------------------------	---	--

Характеристика выводов конфигурирования микросхем **APEX 20K, FLEX 10K, и FLEX 6000** приведена в таблице 30.

6. ВЫВОДЫ, ИСПОЛЗУЕМЫЕ ПРИ КОНФИГУРИРОВАНИИ

Таблица 30. Характеристика выводов конфигурирования (часть 1 из 5)

Название вывода	Семейство микросхем	Функции в пользовательском режиме	Схема конфигурирования	Тип вывода	Описание
MSEL0 MSEL1	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	-	Все	Вход	Двухбитовый вход конфигурации. Для схемы конфигурации ПЛИС APEX 20K и FLEX 10K . (см. таблицу 2).
MSEL	FLEX 6000	-	Все	Вход	Одноразрядный вход конфигурации. Для схемы конфигурации ПЛИС FLEX 6000 (см. таблицу 3).
nSTATUS	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	-	Все	Двухнаправленный, открытый сток	Микросхема устанавливает "0" на выводе сразу же после включения питания и снимает его не позже чем через 5 мкс. (при использовании конфигурационной микросхемы она удерживает "0" на выводе nSTATUS в течение 200 мс.) Напряжение на выводе nSTATUS должно подтягиваться к напряжению Vcc при помощи нагрузочного резистора 1 кОм (и резистора 10 кОм для микросхем APEX 20KE или APEX 20KC). При обнаружении ошибки конфигурирования вывод nSTATUS устанавливается конфигурируемой ПЛИС в "0". Во время конфигурирования или инициализации установка внешней схемой "0" на выводе nSTATUS не влияет на конфигурируемую ПЛИС. При использовании конфигурационной микросхемы "0" на выводе nSTATUS вызовет попытку конфигурации ПЛИС APEX или FLEX конфигурационной микросхемой.
nCONFIG	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	-	Все	Вход	Вход управления конфигурацией. "0" - сбрасывает конфигурируемую микросхему. Конфигурирование начинается по положительному перепаду. При "0" на nCONFIG все I/O -выводы находятся в третьем состоянии.

Таблица 31. Характеристика выводов конфигурирования (часть 2 из 5)

Название вывода	Семейство микросхем	Функции в пользовательском режиме	Схема конфигурирования	Тип вывода	Описание
CONF_DONE	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	-	Все	Двухнаправленный, открытый сток	Выход статуса. Во время и после конфигурирования на выводе удерживается "0" конфигурируемой микросхемой. После успешного приема конфигурационных данных и с началом инициализирующей синхронизации конфигурируемая ПЛИС освобождает вывод

					<p>CONF_DONE. Вход статуса. После приема всех данных и перехода CONF_DONE в "1", конфигурируемая микросхема инициализируется и переходит в пользовательский режим. Напряжение на выводе CONF_DONE должно быть подтянуто к напряжению V_{cc} с помощью нагрузочного резистора 1 кОм (и резистора 10 кОм для ПЛИС APEX 20KE или APEX 20KC). Установка "0" на выводе CONF_DONE от внешней схемы обеспечивает приостановку инициализации, за исключением случая конфигурирования с помощью конфигурационной микросхемы. Установка "0" на выводе CONF_DONE после конфигурирования и инициализации не оказывает влияния на конфигурируемую микросхему.</p>
DCLK	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	-	PS PPS	Вход	Вход тактового синхросигнала конфигурируемой ПЛИС от внешнего источника. В PSA или PPA -схемах конфигурирования на выводе DCLK должна быть "1", для исключения неопределенного состояния.
nCE	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	-	Все	Вход	Выбор микросхемы уровнем "0". "0" на выводе nCE выбирает микросхему для запуска конфигурирования. На интервале конфигурирования одной микросхемы на выводе должен оставаться "0". Уровень "0" должен быть на nCE во время конфигурации, инициализации и пользовательского режима.
nCEO	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	-	Нескольких микросхем одновременно	Выход	Выход переходит в "0" после выполнения конфигурирования. При одновременном конфигурировании нескольких ПЛИС это вывод подключается ко входу nCE последующей микросхемы.
	FLEX 6000	I/O			

Таблица 32. Характеристика выводов конфигурирования (часть 3 из 5)

Название вывода	Семейство микросхем	Функции в пользовательском режиме	Схема конфигурирования	Тип вывода	Описание
nWS	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	I/O	PPA	Вход	Вход строба записи данных. Данные защелкиваются по положительному перепаду на nWS . Для микросхем APEX 20K и FLEX 10K защелкивается байт данных на выводах DATA [7..0] , а для микросхем FLEX 6000 защелкивается бит данных на выводе DATA .
	FLEX 6000	I/O	PSA		
nRS	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	I/O	PPA	Вход	Вход строба приема данных. Для микросхем APEX 20K и FLEX 10K "0" на nRS предписывает отправить сигнал RDYnBSY на вывод DATA7 . Для микросхем FLEX 6000 "0" на nRS предписывает отправить сигнал RDYnBSY на вывод DATA . Если вывод nRS не используется, на него следует подать "1".
	FLEX 6000	I/O	PSA		
RDYnBSY	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	I/O	PSA PPA	Выход	Выход готовности к приему данных. "1" на выводе RDYnBSY означает готовность конфигурируемой ПЛИС к приему следующего байта данных. "0" означает не готовность к приему данных.
nCS, CS	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	I/O	PSA PPA	Вход	Входы выбора кристалла. "0" на nCS и "1" на CS выбирает микросхему для конфигурирования. При использовании одного входа выбора кристалла, другие должны быть соединены с активным уровнем

					(например, nCS может быть соединен с землей, если CS не используется). Во время конфигурации и инициализации на выводах nCS и CS должны быть активные уровни.
CLKUSR	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	I/O	VCE	Вход	Дополнительный пользовательский тактовый вход. Синхронизирует инициализацию одной или нескольких микросхем.
DATA	FLEX 6000	-	PS PPS	Вход	Входы данных. На вывод DATA микросхем FLEX 6000 подаются битовые конфигурационные данные. В PSA -конфигурационной схеме, вывод DATA представляет сигнал RDYnBSY после поступления сигнала nRS , который может быть более предпочтителен для микропроцессора, чем использование вывода RDYnBSY .

Таблица 33. Характеристика выводов конфигурирования (часть 4 из 5)

Название вывода	Семейство микросхем	Функции в пользовательском режиме	Схема конфигурирования	Тип вывода	Описание
DATA[7..1]	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	I/O	PPS PPA	Вход	Входы данных. На выводы DATA[7..0] подаются параллельные байтовые конфигурационные данные ПЛИС.
DATA0	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	-	PS PPA PPS	Вход	Вход данных. В последовательных режимах конфигурирования, на вывод DATA0 подаются битовые конфигурационные данные ПЛИС.
DATA7	APEX II APEX 20K Mercury ACEX 1K FLEX 10K	I/O	PPA	Выход	При использовании конфигурационной схемы PPA . Вывод DATA7 представляет сигнал RDYnBSY после поступления сигнала nRS , который может быть более удобен для микропроцессоров, чем использование вывода RDYnBSY .
INIT_DONE	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	I/O	Все	Выход, открытый сток	Выход статуса. Может использоваться для сигнализации о том, что микросхема инициализирована, и находится в режиме заданным пользователем. Во время конфигурирования на выводе INIT_DONE устанавливается "0". До и после конфигурирования, вывод INIT_DONE освобождается и напряжение на нем подтягивается к напряжению V_{cc} с помощью внешнего нагрузочного резистора. До конфигурации INIT_DONE находится в третьем состоянии, поэтому он подтягивается к "1" при помощи внешнего нагрузочного резистора. Таким образом, для определения состояния микросхемы необходимо обнаружить переход из "0" в "1". Эта опция устанавливается в САПР MAX+PLUS II или QUARTUS II .
DEB_OE	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	I/O	Все	Вход	Дополнительный вывод. Позволяет пользователю отменить третье состояние всех выводов ПЛИС. При "0" на этом выводе, все I/O -выводы переходят в третье состояние. При "1" - все I/O -выводы функционируют, так как они запрограммированы. Эта опция устанавливается в САПР MAX+PLUS II или QUARTUS II .
DEB_CLRn	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	I/O	Все	Вход	Дополнительный вывод. Позволяет пользователю отменить сигнал сброса всех регистров ПЛИС. При "0" на этом выводе, все регистры сбрасываются. При "1" - все регистры функционируют, так как запрограммированы. Эта опция устанавливается в САПР MAX+PLUS II

Таблица 34. Характеристика выводов конфигурирования (часть 5 из 5)

Название вывода	Семейство микросхем	Функции в пользовательском режиме	Схема конфигурирования	Тип вывода	Описание
TDI	APEX II APEX 20K Mercury ACEX 1K FLEX 10K FLEX 6000	JTAG I/O-выводы или	Все	Вход	Выводы JTAG. При использовании этих выводов как пользовательских I/O-выводов, до и во время конфигурирования, их состояния должны сохраняться неизменными. Это необходимо для исключения возможности загрузок случайных JTAG-инструкций.
TDO				Выход	
TMS				Вход	
TCK				Вход	

7. КОНФИГУРИРУЮЩИЕ ФАЙЛЫ

В данном разделе рассматривается создание конфигурационных и программирующих файлов для конфигурирования ПЛИС Altera с помощью САПР QUARTUS II и MAX+PLUS II.

7.1. SRAM Object File (.sof)

Файлы (.sof) используются при загрузке данных в режиме PS-конфигурирования с помощью загрузочных кабелей MasterBlaster или ByteBlasterMV.

SOF-файлы используются для конфигурирования ПЛИС APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K и FLEX 6000.

SOF-файлы для каждой микросхемы в цепи автоматически создаются модулем Assembler компилятора (Compiler) САПР QUARTUS II или MAX+PLUS II

САПР QUARTUS II или MAX+PLUS II управляет последовательностью конфигурации и автоматически вставляет соответствующие заголовки в поток конфигурирующих данных. Все другие конфигурационные файлы создаются на базе файлов SOF.

7.2. Programmer Object File (.pof)

Programmer Object File (.pof) используется техническим обеспечением фирмы Altera для программирования конфигурационных микросхем. POF-файл создается автоматически при компилировании проекта для микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000. Для микросхем FLEX небольшой логической емкости (например, EPF10K20), несколько POF-файлов размещаются в одной конфигурационной микросхеме. Для ПЛИС большой логической емкости (например, APEX 20K) для хранения конфигурационных данных может потребоваться несколько конфигурационных микросхем.

7.3. Raw Binary File (.rbf)

Raw Binary File (.rbf) – двоичный файл. Один байт RBF-данных состоит из 8 конфигурированных бит 10000101 (85 в шестнадцатеричном формате), содержащих данные конфигурирования. Данные сохраняются так чтобы младший бит (LSB) каждого байта данных загружался первым. Преобразованный образ файла может быть сохранен в запоминающем устройстве большой емкости. Микропроцессор может считать данные бинарного файла и загрузить их в микросхему. Преобразование можно выполнить в реальном времени в процессе конфигурирования с помощью микропроцессора.

При PPA и PPS-конфигурировании микросхема получает информацию параллельно с шины данных, с порта данных микропроцессора или через другие параллельные каналы. При PS и PSA-конфигурировании данные загружаются последовательно, начиная с младшего (LSB) бита.

Ниже описывается последовательность действий по созданию RBF-файлов для микросхем ACEX 1K, FLEX 10K или FLEX 6000, в САПР MAX+PLUS II. Аналогичная процедура создания RBF-файлов выполняется в САПР QUARTUS II для микросхем APEX II, APEX 20K, и Mercury.

1. В окне Compiler or Programmer САПР MAX+PLUS II выберите команду Convert SRAM Object Files
2. В окне Convert SRAM Object Files укажите используемый SOF-файл, затем в окне File Format выберите .rbf (Sequential).
3. Нажмите кнопку ОК.

Дополнительную информацию по созданию RBF-файлов можно найти в справочной системе САПР QUARTUS II или MAX+PLUS II.

7.4. Hexadecimal (Intel-Format) File (.hex)

Шестнадцатеричный (hexadecimal) файл это ASCII-файл формата Intel Hex. Этот файл используется программаторами "третьих фирм" (third-party programmers) для программирования последовательных конфигурационных микросхем фирмы Altera. Шестнадцатеричные файлы используются также для параллельного программирования конфигурационных микросхем с помощью программаторов "третьих фирм". Параллельные конфигурационные микросхемы можно использовать как источник данных в схемах PPA-, PPS-, PSA-конфигурирования с помощью микропроцессора.

Ниже описывается последовательность действий по созданию Hex-файлов для микросхем ACEX 1K, FLEX 10K или FLEX 6000, в САПР MAX+PLUS II. Аналогичная процедура создания Hex-файлов выполняется в САПР QUARTUS II для микросхем APEX II, APEX 20K, и Mercury.

1. В окне Compiler or Programmer САПР MAX+PLUS II выберите команду Convert SRAM Object Files
2. В окне Convert SRAM Object Files укажите используемый SOF-файл, затем в окне File Format выберите .hex (Sequential).
3. Нажмите кнопку ОК.

Дополнительную информацию по созданию Hex-файлов можно найти в справочной системе САПР QUARTUS II или MAX+PLUS II.

7.5. Tabular Text File (.ttf)

Tabular Text File (.ttf) - это табличный ASCII-файл, представляющий разделенные запятыми данные для PPA-, PPS-, PSA-, и PS-конфигурации. В ряде случаев устройство хранения, содержащее конфигурационные данные микросхем FLEX 10K или FLEX 6000 может выполнять более широкие функции. Например, конфигурирующее устройство может также содержать исполняемый код (например, подпрограмму BIOS) и другие данные. Конфигурирующие данные включаются в файл TTF как часть исходного кода микропроцессора с помощью команд include или source. Микропроцессор может получать эти данные от конфигурационной микросхемы или запоминающего устройства и загружать их в конфигурируемую микросхему. TTF-файл может импортироваться в близкий к языку ассемблера или языку высокого уровня.

Ниже описывается последовательность действий по созданию TTF-файлов для микросхем FLEX 10K или FLEX 6000, в САПР MAX+PLUS II. Аналогичная процедура создания TTF-файлов выполняется в САПР QUARTUS II для микросхем APEX II, APEX 20K, и Mercury.

1. В окне Compiler or Programmer САПР MAX+PLUS II выберите команду Convert SRAM Object Files
2. В окне Convert SRAM Object Files укажите используемый SOF-файл, затем в окне File Format выберите .ttf (Sequential).
3. Нажмите кнопку ОК.

Дополнительную информацию по созданию TTF-файлов можно найти в справочной системе САПР QUARTUS II или MAX+PLUS II.

7.6. Serial Bitstream File (.sbf)

Файлы Serial Bitstream File (.sbf) используется при PS-конфигурировании микросхем FLEX 10K и FLEX 6000 с помощью загрузочного кабеля BitBlaster.

SBF-файлы поддерживаются только программным обеспечением MAX+PLUS II.

Ниже описывается последовательность действий по созданию SBF-файлов для микросхем FLEX 10K или FLEX 6000, в САПР MAX+PLUS II. Аналогичная процедура создания SBF-файлов выполняется в САПР QUARTUS II для микросхем APEX II, APEX 20K, и Mercury.

1. В окне Compiler or Programmer САПР MAX+PLUS II выберите команду Convert SRAM Object Files
2. В окне Convert SRAM Object Files укажите используемый SOF-файл, затем в окне File Format выберите .sbf (Sequential).
3. Нажмите кнопку ОК.

Дополнительную информацию по созданию SBF-файлов можно найти в справочной системе САПР QUARTUS II или MAX+PLUS II.

7.7. Jam File (.jam)

Jam-файл - это текстовый ASCII-файл на языке Jam, содержащий программирующую информацию. Эти файлы используются для программирования, верификации и проверки на незапрограммированность (blank check) одной или нескольких микросхем с помощью программатора (Programmer) QUARTUS II или MAX+PLUS II или встроенного процессора.

7.8. Jam Byte-Code File (.jbc)

Файл Jam Byte-Code File (.jbc) - это бинарный файл Jam в виде байт-кодовой последовательности. JBC-файлы используются для программирования, верификации и проверки на незапрограммированность (blank

check) одной или нескольких микросхем с помощью программатора (Programmer) QUARTUS II или MAX+PLUS II или встроенного процессора. Вы можете сконфигурировать микросхемы APEX 20K, FLEX 10K, и FLEX 6000 используя данные из конфигурационной микросхемы или САПР QUARTUS II или MAX+PLUS II.

8. ПРОГРАММИРОВАНИЕ КОНФИГУРАЦИОННЫХ МИКРОСХЕМ

Программирование конфигурационных микросхем выполняется САПР QUARTUS II или MAX+PLUS II с помощью программатора Master Programming Unit (MPU) и соответствующего адаптера.

Характеристика установочных панелей конфигурационных микросхем приведена в таблице 35.

Таблица 35. Адаптеры конфигурационных микросхем

Микросхема	Тип корпуса	Адаптер
EPС16	88-pin Ultra FineLine BGA 100-pin PQFP	-
EPС8	100-pin PQFP	-
EPС2	20-pin J-Lead 32-pin TQFP	PLMJ1213 PLMT1213
EPС1	8-pin DIP 20-pin J-Lead	PLMJ1213 PLMJ1213
EPС1441	8-pin DIP 20-pin J-Lead 32-pin TQFP	PLMJ1213 PLMJ1213 PLMT1064

Ниже описываются действия по программированию конфигурационных микросхем Altera с помощью САПР MAX+PLUS II.

1. Откройте программатор MAX+PLUS II.
2. Перейдите в диалоговое окно Select Programming File (выбрать программирующий файл) и загрузите требуемый POF-файл (по умолчанию, программатор загружает текущий POF-файл проекта). Выбранная микросхема показывается в поле Device (Микросхема).
3. Вставьте конфигурационную микросхему в разъем адаптера.
4. Нажмите кнопку Program (Программировать).

После успешного конфигурирования, конфигурационную микросхему можно ставить на печатную плату для конфигурирования ПЛИС APEX 20K, FLEX 10K или FLEX 6000.

Дополнительную информацию по конфигурационным микросхемам можно найти в документе фирмы Altera: "Configuration Devices for APEX & FLEX Devices Data Sheet".

9. ВОПРОСЫ ПРАКТИЧЕСКОГО ПРИМЕНЕНИЯ МИКРОСХЕМ

9.1. Особенности включения питания микросхем APEX 20KE

Многие микросхемы фирмы Altera поддерживают смешанное питание (MultiVolt), при котором питание логического массива и элементов ввода/вывода обеспечивается отдельными источниками питания. Для микросхем APEX II, APEX 20KC, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000, источники питания могут включаться в любом порядке. Однако для микросхем APEX 20KE последовательность включения источников питания определяется следующими правилами. Эти правила справедливы для всех схем конфигурирования.

В микросхемах APEX 20KE логический массив питается напряжением VCCINT, каждый банк I/O-элементов питается от отдельного источника VCCIO.

Выполнение рассматриваемых рекомендаций обеспечивают выполнение конфигурирования ПЛИС APEX 20KE при включении питания, а также восстановление состояния при его падении. В частности, VCCINT может уменьшаться до любого значения, и микросхема может быть успешно реконфигурирована при восстановлении напряжения питания. При падении питания микросхема APEX 20KE может прервать конфигурирование, если напряжение VCCINT упадет ниже допустимого уровня. В этом случае микросхема прерывает процесс конфигурирования и устанавливает "0" на выводе nSTATUS. Когда VCCINT достигает рабочего диапазона, nSTATUS возвращается в исходное состояние, иницируя конфигурирование.

При разных последовательностях подачи питания могут использоваться различные схемы включения ПЛИС APEX 20KE и конфигурационных микросхем.

Гарантии успешного включения и конфигурирования ПЛИС обеспечиваются соблюдением следующих рекомендаций:

1. Напряжение VCCINT необходимо подавать до напряжения VCCIO
2. VCCINT может подаваться на интервале POR - Power On Reset или после его окончания.

Для ПЛИС АРЕХ II и АРЕХ 20КС выполнение этих требований необязательно. Однако система, разработанная для микросхем АРЕХ 20КЕ, может успешно применяться и для конфигурирования ПЛИС АРЕХ II АРЕХ 20КС.

Ниже рассматриваются варианты подачи напряжений питания.

Вариант 1

Если VCCINT подается до напряжения VCCIO – на выводе nCONFIG должен удерживаться "0" на время пока оба напряжения питания не будут в требуемом рабочем диапазоне.

Рекомендации этого раздела следует учитывать в применениях где последовательность источников питания не известна.

Нужные состояния nCONFIG можно обеспечить следующими способами:

- Использованием схемы контроля питания на плате. Эта схема установит на nCONFIG "0", пока VCCINT и VCCIO находятся не в рабочем диапазоне, а затем вернет его в исходное состояние. При установлении VCCINT вывод nCONFIG подтягивается до "1". Можно использовать схему контроля напряжения LP3470, выпускаемую фирмой National Semiconductor.
- Использованием стабилизаторов напряжения имеющих сигнал готовности питания (power-good), который можно использовать для поддержания "0" на nCONFIG во время включения. При использовании нескольких стабилизаторов напряжения можно использовать сигнал готовности питания регуляторе, включаемого последним. Если последовательность включения питания не известна, сигналы готовности питания могут быть формироваться схемами на дискретных элементах.

Удержание "0" на выводе nCONFIG на время установления питания VCCINT и VCCIO может производиться внешним сигналом от микроконтроллера или центрального процессора.

Вариант 2

VCCINT подается во время или после включения питания и сброса (POR) конфигурационной микросхемы (VCCINT подается после VCCIO).

Этот метод конфигурирования применяется, когда напряжение VCCINT выключается после окончания POR-режима конфигурируемой микросхемы (выводы nSTATUS/OE освобождены). POR-режим длится 200 мс после подачи питания.

Данный метод конфигурирования применим при использовании конфигурационных микросхем фирмы Altera. При использовании других конфигурационных устройств необходимо убедиться, что контроллер конфигурации в начале конфигурирования обеспечивает требуемый сигнал на выводе nCONFIG.

Если конфигурируемая микросхема питается таким же напряжением 3,3 В, как и напряжения VCCIO, VCCINT – значит микросхема АРЕХ 20КЕ успешно запитана и сконфигурирована.

На рис. 45 показаны необходимые подключения на схеме, обеспечивающие требования к включению питания с помощью вывода nINIT_CONF. Вывод nINIT_CONF является выводом открытого стока и имеет внутренний подтягивающий резистор (обычно 1 кОм), подключенным к напряжению 3,3 В. Этот резистор всегда задействован, поэтому для разделения микросхем с напряжениями 1,8 В и 3,3 В используется диод.

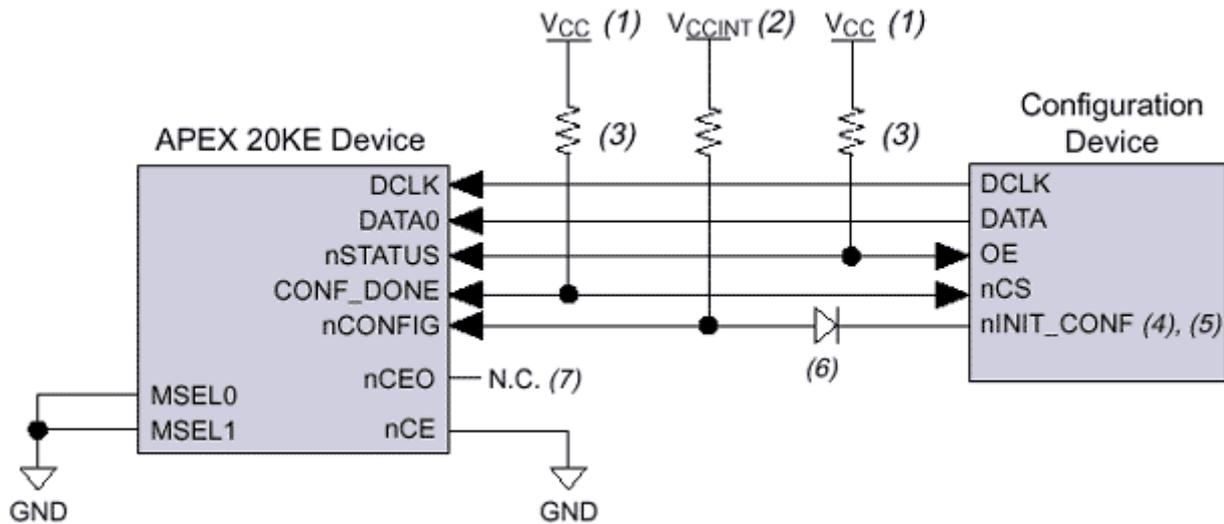


Рис. 45. Питание конфигурационной микросхемы напряжением 3,3 В при конфигурировании ПЛИС APEX 20KE

Примечания по рисунку 45:

1. Подтягивающий резистор подключается к тому же напряжению, что и конфигурационная микросхема.
2. Для успешного конфигурирования ПЛИС APEX 20KE с помощью конфигурационной микросхемы при всех возможных последовательностях подачи напряжения питания, напряжение на выводе nCONFIG необходимо подтянуть к напряжению VCCINT.
3. Все подтягивающие резисторы - 10 кОм. Выводы OE и nCS конфигурационной микросхемы имеют внутренние конфигурируемые пользователем подтягивающие резисторы. При использовании внутренних подтягивающие резисторы внешне резисторы на этих выводах не используются.
4. Вывод nINIT_CONF доступен только в микросхемах EPC2, EPC8, и EPC16. Если nINIT_CONF отсутствует или не используется (в том числе у микросхем EPC1 и EPC1441), то для подтягивания напряжения вывода nCONFIG к напряжению VCCINT используется резистор 10 кОм.
5. Вывод nINIT_CONF имеет внутренний подтягивающий резистор, который всегда задействован в микросхемах EPC16, EPC8, и EPC2. Для подтягивания напряжения вывода nCONFIG к напряжению VCCINT используется нагрузочный резистор 10 кОм.
6. Для разделения источников питания 1,8 и 3,3 В при конфигурировании ПЛИС APEX 20KE, необходимо включить диод между выводом nCONFIG ПЛИС APEX 20KE и выводом nINIT_CONF конфигурационной микросхемы. Пороговое напряжение диода должно быть не более 0,7 В. При этом на выходе открытого стока nINIT_CONF может быть либо "0" либо третье состояние.
7. Вывод nCEO последней микросхемы в цепочке оставляется не подключенным.

Вариант 3

Напряжение VCCINT подается после напряжения VCCIO. В этом варианте никаких специальных требований не предъявляется.

9.2. Надежность конфигурирования ПЛИС Altera

Микросхемы APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 обеспечивают высокую помехоустойчивость по напряжению питания и сигналам данных и устойчивость конфигурационных данных при конфигурировании и в рабочем режиме. Целый ряд технических решений обеспечивает высокий уровень надежности SRAM-технологии этих ПЛИС.

Достоверность загружаемых данных контролируется с помощью избыточного периодического кода (CRC). Если генерируемый микросхемой CRC-код не соответствует CRC-коду потока данных - конфигурационный процесс прекращается, и вывод nSTATUS переходит в "0" сигнализируя о наличии ошибки. При наличии помех в системе CRC-контроль обеспечивает защиту от ошибок, приводящих к неверному конфигурированию.

Архитектура микросхем обеспечивает высокую устойчивость к снижению и провалам напряжения. Для корректности содержимого SRAM-ячеек ПЛИС необходимо определенное значение напряжения VCC. Порог этого напряжения значительно ниже, чем напряжение POR-активизации микросхемы. Поэтому при сбое напряжения VCC микросхема прекращает работу и сигнализирует о наличии ошибки, устанавливая "0" на выводе nSTATUS.

Для восстановления функционирования ПЛИС - она должна быть реконфигурирована. В активных конфигурационных схемах вывод nCONFIG подключен к VCC, поэтому при восстановлении напряжения VCC реконфигурация начинается автоматически. Импульс "0" на выводе nSTATUS сбрасывает конфигурацию микросхемы, устанавливая "0" на выводе OE. В пассивных схемах конфигурирования процесс реконфигурации инициализируется следящей системой.

Эти возможности обеспечивают высокую надежность микросхем APEX II, APEX 20K, Mercury, ACEX 1K, FLEX 10K, и FLEX 6000 в различных конфигурациях. Другие ПЛИС Altera также обеспечивают высокий уровень надежности.

9.3. Рекомендации по разводке печатных плат

Тактовый синхросигнал DCLK (используемый при PS- и PPS-конфигурировании и в конфигурационных микросхемах) относительно низкочастотный, однако он обеспечивает динамическую синхронизацию микросхем APEX II, APEX 20K, Mercury, FLEX 10K, FLEX 6000. Поэтому, любой аномальный выброс, "звон" или другие помехи могут повлиять на конфигурирование. При разводке сигнала DCLK на печатной плате нужно соблюдать те же рекомендации, что и для разводки основного тактового сигнала (clock), включая необходимую буферизацию. При использовании более пяти микросхем, Altera рекомендует использовать буферы для разветвления сигнала DCLK.

10. ГЛОССАРИЙ

- **ACEX** - Advanced Configurable Element Matrix - матрицы логических элементов с развитыми возможностями конфигурирования.
- **ANSI** - American National Standards Institute - Национальный Институт Стандартизации США.
- **APEX** - Advanced Programmable Element Matrix - матрицы логических элементов с развитыми возможностями программирования.
- **BGA** - Ball Grid Array - матричное расположение шариковых выводов, корпус с матричным расположением шариковых (плавких) выводов.
- **bite-wide** - байтовый, параллельные байтовые данные.
- **bit-wide** - битовый.
- **BST** - Boundary Scan Test - тестовое периферийное сканирование цифровых устройств.
- **ByteBlasterMV** - устройство и кабель загрузки конфигурирующих данных в микросхемы Altera через параллельный порт компьютера.
- **Configuration Device** - Конфигурационная микросхема (конфигурационное ПЗУ).
- **CRC** - Cyclic Redundancy Code - периодический избыточный код, контроль данных с помощью периодического избыточного кода.
- **EDA** - Electronic Design Application (система автоматизированного проектирования электронных устройств САПР).
- **EDIF** - Electronic Design Interchange Format - стандартизованный формат обмена данными электронных САПР.
- **EEPROM** - Electrically Erasable Programmable Read Only Memory (ППЗУ с электрическим стиранием информации).
- **Embedded Processor** - встроенный процессор.
- **FLEX** - Flexible Logic Element Matrix.
- **GND** - Ground - земля (общий провод)
- **I/O-выводы** - входные/выходные выводы микросхемы.
- **ICR** - In-Circuit Reconfigurability - реконфигурируемость в схеме (в работающей схеме).
- **IEEE** - Institute of Electrical and Electronics Engineers Институт инженеров по электротехнике и электронике (профессиональное объединение, выпускающие свои собственные стандарты; членами IEEE являются ANSI и ISO)
- **ISP** - In-System Programmability - программируемость в системе.
- **Jam** - стандартный язык программирования и тестирования (STAPL - Standard Test and Programming Language). Jam-файл - текстовый ASCII-файл на языке Jam содержащий программирующую информацию.
- **JBC** - Jam Byte-Code File бинарный файл Jam в виде байт-кодовой последовательности.
- **JTAG** - Joint Test Action Group - объединенная группа по вопросам тестирования цифровых схем.
- **LSB** - Least Significant Beat - младший бит, младший разряд.
- **LUT** - Look Up Table - таблица перекодировки, логический преобразователь на основе однобитового ЗУ.
- **MasterBlaster** - устройство и кабель загрузки конфигурирующих данных в микросхемы Altera через последовательный порт компьютера.
- **MAX** - Multiple Array Matrix - матрица множественных массивов логических элементов.
- **OE** - Output Enable - разрешение выхода: управляет третьим состоянием I/O-выводов микросхем Altera.
- **Open Drain** - Открытый сток, выод открытого стока.
- **PCB** - Printed Circuit Board - печатная плата.
- **POF** - Programmer Object File используется обеспечением фирмы Altera для программирования конфигурационных микросхем.
- **POR** - Power On Reset - включение питания и сброс.
- **power-good** - Сигнал готовности напряжения питания. Сигнализирует об установлении заданных параметров питания.
- **PS** - Passive Serial - пассивная последовательная схема и режим конфигурирования ПЛИС Altera.
- **PPS** - Passive Parallel Synchronous - пассивная параллельная схема и режим конфигурирования ПЛИС Altera.
- **PPA** - Passive Parallel ASynchronous - пассивная параллельная асинхронная схема и режим

конфигурирования ПЛИС Altera.

- **RBF** - Raw Binary File - двоичный конфигурационный файл.
- **SBF** - Serial Bitstream File - используется при PS-конфигурировании микросхем FLEX 10K и FLEX 6000 с помощью загрузочного кабеля BitBlaster. SBF-файлы поддерживаются только программным обеспечением MAX+PLUS II.
- **SOF** - SRAM Object File используются при загрузке данных в режиме PS-конфигурирования с помощью загрузочных кабелей MasterBlaster или ByteBlasterMV.
- **SRAM** - Static Random Access Memory
- **STAPL** - Standard Test and Programming Language
- **TAP** - Test Access Port - порт тестового доступа (порт ввода/вывода тестовых данных периферийного BST-сканирования).
- **TCK** - Test Clock - тактовый синхровход JTAG.
- **TDI** - Test Data Input - вход тестовых данных JTAG.
- **TDO** - Test Data Output - выход тестовых данных JTAG.
- **TQFP** - Plastic Thin Quad Flat Pack - тип корпуса микросхемы: пластмассовый корпус с планарными выводами.
- **TRST** - Test Reset - вход асинхронного сброса схемы периферийного BST-сканирования.
- **TTF** - Tabular Text File табличный ASCII-файл, представляющий разделенные запятыми данные для PPA-, PPS-, PSA-, и PS-конфигурирования.
- **USB** - Universal Serial Bus - универсальная последовательная шина.
- **ПЗУ** - Постоянное запоминающее устройство.
- **ПЛИС** - Программируемая логическая интегральная схема.
- **САПР** - Система автоматизированного проектирования.
- **СБИС** - Сверхбольшая интегральная схема.